

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-283296

(P2002-283296A)

(43) 公開日 平成14年10月3日 (2002. 10. 3)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
B 8 1 C 1/00		B 8 1 C 1/00	4 M 1 1 8
B 8 1 B 3/00		B 8 1 B 3/00	5 F 0 3 2
H 0 1 L 21/762		H 0 1 L 21/76	D
27/14		27/14	Z

審査請求 未請求 請求項の数20 O L 外国語出願 (全 50 頁)

(21) 出願番号 特願2001-360360(P2001-360360)

(22) 出願日 平成13年11月27日 (2001. 11. 27)

(31) 優先権主張番号 0 9 / 7 2 4 , 5 0 6

(32) 優先日 平成12年11月27日 (2000. 11. 27)

(33) 優先権主張国 米国 (US)

(71) 出願人 501457213

マイクロスキャン システムズ インコー  
ポレイテッド

アメリカ合衆国 ワシントン州 レントン  
サウス ウェスト セブンス ストリー  
ト 1201

(71) 出願人 590000798

ゼロックス・コーポレーション  
アメリカ合衆国、コネチカット州、スタン  
フォード、ロング・リッジ・ロード 800

(74) 代理人 100075258

弁理士 吉田 研二 (外2名)

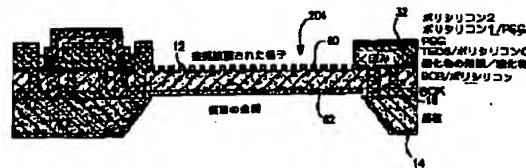
最終頁に続く

(54) 【発明の名称】 事前のパターニングを有する、マイクロメカニカルおよびマイクロオプトメカニカルな構造物を製造するための方法

(57) 【要約】

【課題】 絶縁体上シリコン (SOI) ウェーハにおいて、マイクロメカニカルまたはマイクロオプトメカニカルな構造物によって、機械的、光学的特質を改良する。

【解決手段】 本発明は、マイクロメカニカルまたはマイクロオプトメカニカルな構造物を提供する。この構造物は、以下の段階を含む処理によって製作される。すなわち、絶縁層16によって基板層14から分離されている単結晶シリコン層12上にパターンを定義すること、単結晶シリコン層12に構造物を定義すること、構造物の機械的要素または光学的要素を形成するポリシリコンを残したまま、単結晶シリコン層12上にポリシリコン層40、42を蒸着およびエッチングすること、形成された構造物を解離することである。



Best Available Copy

**【特許請求の範囲】**

【請求項 1】 絶縁層によって基板層から分離されている単結晶シリコン層上にパターンを定義するステップと、

前記単結晶シリコン層に構造物を定義するステップと、  
前記構造物の機械的要素または光学的要素を形成するポリシリコンを残し、単結晶シリコン層上にポリシリコン層を蒸着およびエッチングするステップと、  
前記形成された構造物を解離するステップと、  
を有する処理によって製作されるマイクロメカニカルまたはマイクロオプトメカニカルな構造物。

【請求項 2】 前記単結晶シリコン層上にパターンを定義するステップは、  
前記単結晶シリコン層上に前記パターンをフォトリソグラフィによって定義するステップと、  
前記パターンを酸化物保護層で覆うステップと、  
を有する請求項 1 に記載の構造物。

【請求項 3】 前記ポリシリコン構造物が形成された後に酸化物の保護層を除去するステップをさらに有する処理によって製作される請求項 2 に記載の構造物。

【請求項 4】 前記パターンを定義するステップは、前記単結晶シリコン層上にいずれかの構造物が定義される前に行う請求項 1 に記載の構造物。

【請求項 5】 前記パターンがグリッドである請求項 1 に記載の構造物。

【請求項 6】 前記グリッドが、フレネルグリッド、正グリッド、比例した間隔を有するグリッドからなる群から選択される請求項 5 に記載の構造物。

【請求項 7】 前記パターンにコーティングを塗布するステップをさらに有する処理によって製作される請求項 5 に記載の構造物。

【請求項 8】 前記コーティングが、金、アルミニウム、クロミウム、プラチナからなる群から選択される金属である請求項 7 に記載の構造物。

【請求項 9】 単結晶シリコンを選択的にエッチングするステップは、前記単結晶シリコン層をフォトリソグラフィによってパターンニングしドライエッチングするステップをさらに有する請求項 1 に記載のマイクロ構造物。

【請求項 10】 前記絶縁層が酸化物層である請求項 1 に記載の構造物。

【請求項 11】 絶縁層によって基板層から分離されている単結晶シリコン層上にパターンを定義するステップと、

前記単結晶シリコン層に構造物を定義するステップと、  
前記構造物の機械的要素または光学的要素を形成するポリシリコンを残し、前記単結晶シリコン層上にポリシリコン層を蒸着およびエッチングするステップと、  
前記形成された構造物を解離するステップと、  
を有するマイクロメカニカルまたはマイクロオプトメカニカルな構造物を製造するための方法。

【請求項 12】 前記単結晶シリコン層上にパターンを定義するステップは、

前記単結晶シリコン層上に前記パターンをフォトリソグラフィによって定義するステップと、  
前記パターンを酸化物保護層で覆うステップと、  
を有する請求項 11 に記載の方法。

【請求項 13】 前記ポリシリコン構造物が形成された後に酸化物の保護層を除去するステップをさらに有する請求項 12 に記載の方法。

【請求項 14】 前記パターンを定義するステップは、前記単結晶シリコン層上にいずれかの構造物が定義される前に行う請求項 11 に記載の方法。

【請求項 15】 前記パターンがグリッドである請求項 11 に記載の方法。

【請求項 16】 前記グリッドが、フレネルグリッド、正グリッド、比例した間隔を有するグリッドからなる群から選択される請求項 15 に記載の方法。

【請求項 17】 前記パターンにコーティングを塗布するステップをさらに有する請求項 15 に記載の方法。

【請求項 18】 前記コーティングが、金、アルミニウム、クロミウム、プラチナからなる群から選択される金属である請求項 17 に記載の方法。

【請求項 19】 単結晶シリコンを選択的にエッチングするステップは、前記単結晶シリコン層をフォトリソグラフィによってパターンニングしドライエッチングするステップをさらに有する請求項 11 に記載の方法。

【請求項 20】 前記絶縁層が酸化物層である請求項 11 に記載の方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】絶縁体上シリコン（SOI）ウェーハ上に製作されるマイクロメカニカルおよびマイクロオプトメカニカルな構造物が製作される。より詳細には、SOI ウェーハを化学的、機械的に修正し、素子の裏面を金属被覆することによって作成されるマイクロメカニカルおよびマイクロオプトメカニカルな素子を開示する。

**【0002】**

【従来の技術】材料の固有の薄膜特性は、多くの表面マイクロマシニング処理を制約する。例えば、ポリシリコン薄膜における材料特性（ヤング率、ポアソン比、残留応力、応力勾配など）の変化性によって、希望のマイクロ構造物の製造が妨げられることがある。これは、ミラー、レンズ、回折格子などのマイクロオプトメカニカルな光学素子において特に明らかである。マイクロオプトメカニカルな光学素子は、高い光学性能に関してきわめて均一でなくてはならず、通常、単結晶シリコン層に作られなくてはならない。従来の表面マイクロマシニングでは、すべての素子がポリシリコン層に作成されることが必要とされるので、光学性能が制約されることがあ

る。

【0003】 主要な商業上のMEMS (microelectromechanical system) 加工技術は、(1) 単結晶シリコンのバルクマイクロマシニング、(2) 多結晶シリコンの表面マイクロマシニングである。これらの加工技術は、それぞれ、利点と障壁を伴っていた。その純粋な状態では電気的、機械的によく制御され特質を有する、優れた材料である単結晶シリコンのバルクマイクロマシニングは、機械的要素を形成するために異方性ウェットエッチングを歴史的に利用してきた。この処理では、エッチレートはエッチ溶液に曝される結晶学的面に依存するので、結晶学的面を制約するエッチレートに合わせた機械的要素が形成される。シリコンについては、これらの面は、(1, 1, 1) の結晶面である。機械的機能を結晶面に合わせることによって、この技術を使って生み出すことができるジオメトリに制限を与えることになる。典型的なジオメトリは、(1, 0, 0) に位置づけられたシリコンウェーハにV溝のトレンチと逆ピラミッドの構造物を含み、このシリコンウェーハでは、トレンチと逆ピラミッドの構造物は(1, 1, 1)の結晶学的面によって結合される。凸状の角を含むジオメトリは、角を形成する結晶面のエッチングを防ぐための追加の手段が取られなければならない。また、エッチレートは、ドーパント濃度によって変動するので、ドーパント原子の組み入れによって修正される。このドーパント原子は、結晶格子においてシリコン原子の代わりになる。 $5 \times 10^{19} / \text{cm}^3$ の度合いのホウ素ドーパント濃度は、エッチングを完全に停止させるためには十分なので、他の結晶面によって制限された機械的要素は、ドーパントの「エッチングストップ」技術を使うことによって生成することができる。しかし、この大きさのドーパント濃度は、純粋な単結晶シリコン材料の望ましい電気的、機械的特性を変更させるには十分であり、デバイスの設計および製造上の制約となる。DRIE (Deep Reactive Ion Etching) における最近の進歩は、側壁のパッシベーションとイオンビームの指向性を利用してエッチングの異方性を得ることである(例えば、J. K. パードヴァイ (Bhardwaj), H. アシャラフ (Asharaf), "Advanced silicon etching using high density plasmas", Micromachining and Microfabrication Process Technology, Austin, Texas, SPIE Proceedings 第2639号224頁, 1995年10月23-24日を参照のこと)。これによって、平面内のジオメトリック設計への制約は緩和されるが、ウェーハへのエッチングの深さを制御するためにエッチングストップ技術をなお必要とし、構造物をアンダーカットして基板から解離するために追加の加工工程が必要である。

【0004】 バルクマイクロマシニングと対照的に、多結晶シリコンの表面マイクロマシニングは、化学的気相成長法(CVD)および反応性イオンエッチング(RIE)のパターニング技術を利用し、積み重ねた薄膜の層から機械的要素を形成する(例えば、R. T. ハウ (Howe), "Surface micromachining for microsensors and microactuators", J. Vac. Sci. Technol. B6, (1988) 1809を参照のこと)。通常、CVDポリシリコンが機械的要素を形成するために使用され、CVD窒化物が絶縁物を形成するために使用され、CVD酸化物が犠牲層として使用される。ウェットエッチングまたはドライエッチングによる酸化物の除去によって、ポリシリコンの薄膜構造物は解離される。表面マイクロマシニング処理の利点は、解離可能なポリシリコンの層を積み重ねることによって、複雑な構造物をウェーハ表面に垂直の方向に作成できること(例えば、K. S. J. ピスター (Pister), M. W. ジュディ (Judy), S. R. バーゲット (Burgett), R. S. フィアリング (Fearing), "Microfabricated hinges", Sensors and Actuators A33, (1992) 249およびL. Y. リン (Lin), S. S. リー (Lee), K. S. J. ピスター (Pister), M. C. ウー (Wu), "Micromachined three-dimensional micro-optics for free-space optical system", IEEE Photon. Technol. Lett. 6, (1994) 1445を参照のこと)、デバイス層は、等方性のRIEエッチング技術を使ってパターン化されるので、ウェーハの平面におけるジオメトリックの設計を完全に自由にできることである。表面マイクロマシニングの更なる利点は、ポリシリコン、窒化物、酸化アルミニウムなどのマイクロエレクトロニクスデバイスの製作に共通して使用される薄膜材料を利用する点である。ただし、これらの材料は、電気的性能よりむしろ機械的性能について最適化された、異なった材料特性を有するものではある。この材料における共通性によって、Analog Device社の統合型加速度計、SSI Technologies社の統合型圧力センサに示されるように、マイクロエレクトロニクスおよびマイクロメカニカルな素子を同一の製作プロセスへ統合させることが増加する。

#### 【0005】

【発明が解決しようとする課題】 表面マイクロマシニングは、単結晶シリコンのバルクマイクロマシニングに固有の制限の多くを緩和させるが、それにもかかわらず、薄膜特質における表面マイクロマシニングそれ自体の制限を有する。CVD技術から蒸着できる最大の膜の厚さ

は、数マイクロメートルに限られるので、より厚い構造物は、連続した蒸着から構築されなくてはならない。より厚いデバイス層は、動的な変形が光学性能に大きな影響を与えることがある動的な光学的要素にとって必要であり、また、応力による湾曲を引き起こすことがある追加の薄膜被覆を必要とする光学的要素にも必要である。ヤング率、ポアソン比などの薄膜の機械的特質は、処理パラメータや製作プロセスの温度履歴に依り、通常、実行によっては、10%ほど変動することがある。このことは、頑健な製造可能性にとっては重大な制限である。頑健な製造可能性にとって、これらの薄膜の機械的特質は、デバイス性能の重要なパラメータである。

【0006】従来の表面マイクロマシニングの更なる制約は、機械的要素を貫くホールが設計に含められなくてはならないことである。このホールによって、機械的要素を解離するために塗布される腐食液は、犠牲層に到達しうる。これは、設計においてホールを含むフレネルレンズや回折格子のような光学的要素にとっては重大な制約ではないが、ホールが光学性能に有害なミラーのような光学的要素にとっては重大な制約である。平坦度と反射率も、従来の表面マイクロマシニングの処理によって大きな影響を受けうる重要な光学の設計基準である。ポリシリコン薄膜に典型的な薄膜の応力および応力勾配によって、光学表面のねじれが生じる可能性がある。さらに、沈着したポリシリコン薄膜の表面は研磨されてなく、そのため、光学品質の表面仕上げを得るため、後処理のCMP (Chemical Mechanical Polishing) 技術を必要とする。

#### 【0007】

【課題を解決するための手段】本発明は、マイクロメカニカルまたはマイクロオプトメカニカルな構造物を提供する。この構造物は、以下の段階を含む処理によって製作される。すなわち、絶縁層によって基板層から分離されている単結晶シリコン層上にパターンを定義すること、単結晶シリコン層に構造物を定義すること、構造物の機械的要素または光学的要素を形成するポリシリコンを残したままで、単結晶シリコン層上にポリシリコン層を蒸着およびエッチングすること、形成された構造物を解離することである。

#### 【0008】

【発明の実施の形態】以下に記載されるのは、本発明の処理とデバイスの一実施形態である。この実施形態は、本発明が実現できるいくつかの方法の1つを示すにすぎない。本実施形態は、絶縁体上シリコン (SOI) チップ上の可動ミラーの文脈で記載されているが、他の素子にも容易に使用できる。以下の記載において、類似の数字は、全図の類似の要素または工程を表わす。例えば、ある図で、数字10が特定の要素または工程を指すために使用されれば、他のいずれの図に出てくる数字10も同一の要素を表わす。

【0009】図1は、本発明の本実施形態を利用してシリコンウェーハ上に構成されるきわめて複雑なマイクロメカニカル (MEMS) およびマイクロオプトメカニカル (MOEMS) のデバイスの一例を示す。デバイス200は、回折格子202、格子204、フレネルレンズ206のような絶縁体に被覆された、単結晶シリコンから構成される可動の光学的要素を含む。アクティブな電氣的要素も単結晶シリコン層に定義でき、それには、フリップチップが結合された、光を生み出すレーザーダイオード201、光を検出するフォトダイオード203、または従来のCMOS論理回路205が含まれる。エッチングされたキャビティ208に示されるように、基板のパッケージングまたはマウンティングのために必要なバルクの変更も可能であり、付け加えられたポリシリコン層は、ヒンジ209のような機械的要素に使用することができる。

【0010】図2は、本願明細書に記載される処理の実施形態の使用に適する絶縁体上シリコン (SOI) ウェーハ10の一実施形態を示す。SOIウェーハ10は、単結晶シリコンデバイスウェーハ薄層12および基板層14を含む。基板層14はポリシリコンであることが好ましい。これらの2つの層12、14の間には、デバイス層12と基板層14を完全に結合させる埋め込み酸化 (BOX) 層16がある。この埋め込み酸化層16は、薄膜を形成するためのウェットエッチングおよびドライエッチングの手順におけるエッチングストップとして使用することもできる。さらに、基板層14の裏面上には裏面酸化層18があり、デバイス層12と基板層14間のインタフェースへのエッチダウンを裏面から調節するために使用される。ウェーハは、直径100mm±0.5mm、厚さ525±25マイクロメートルの円形であることが好ましい。ウェーハの全体の厚さは、裏面酸化物の201±0.5マイクロメートル、埋め込み酸化物 (BOX) の1±0.05マイクロメートル、単結晶シリコンの5±0.5マイクロメートルから構成される。厚さの残りは基板から構成される。

【0011】加工を開始する前に、ウェーハは、製造業者の仕様に適合することを検証するために検査される。仕様に適合していれば、ウェーハにはロットおよびウェーハの番号が刻まれ、洗浄され、2000Åの熱酸化物20が単結晶シリコン層12の上面に成長し、以後のポリシリコンエッチングでのエッチングストップとして働き、以後のポリシリコンガラス (PSG) 層によるSCSのドーピングを防ぐ。

【0012】図3～図18は、以下の詳細な工程1～84に関して、図1に示されるマイクロ構造物200の格子204を作り出すために図2のウェーハ上で使用される処理の一実施形態を示す。後述の処理は他のタイプの素子にも使用できる。それは、すべて、ウェーハに何がパターン形成されるかに依っている。ウェーハ上の構造

物のパターニングは、当該技術で周知の標準的なフォトリソグラフィ技術を使用して行われ、通常は、適正な材料の層をウェーハ上に蒸着すること、フォトレジストをウェーハ上に塗布すること、フォトレジストを加えられる区域（ライトマスク）または除去される区域（ダーク

マスク）で露光すること、適当なエッチングをすることが含まれる。

【0013】

【表1】

工程番号	処題	コメント
1	熱酸化	1000℃, 2000Å
2	フォトリソグラフィ マスク番号1: 基板_密着	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1. 3um d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm², 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
3	酸化物エッチング	RIE: CF₄, ターゲットのエッチレート: 2500Å/分
4	SCSエッチング	RIE: HBr, Cl₂, ターゲットエッチレート: 5000Å/分
5	酸化物エッチング	RIE: CF₄, ターゲットのエッチレート: 2500Å/分
6	フォトレジスト剥離	高圧PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
7	フォトリソグラフィ マスク番号2: SCS_くぼみ	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1. 3um d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm², 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
8	酸化物エッチング	RIE: CF₄, ターゲットのエッチレート: 2500Å/分
9	SCSエッチング	RIE: HBr, Cl₂, ターゲットエッチレート: 5000Å/分

【表2】

10	酸化物エッチング	RIE:CF <sub>4</sub> , ターゲットのエッチレート:2500Å/分
11	フォトレジストの剥離	高圧PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
12	ポリシリコン蒸着	LPCVD, 3μm
13	ポリシリコンエッチング	RIE:HBr, Cl <sub>2</sub> , ターゲットエッチレート:5000Å/分
14	酸化物エッチング	RIE:CF <sub>4</sub> , ターゲットのエッチレート:2500Å/分
15	フォトリソグラフィ マスク番号3:SCS_格子	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3μm d) ソフトベーク90℃, 30分 e) 露光, 5.0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1.1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
16	SCSエッチング	RIE:HBr, Cl <sub>2</sub> , ターゲットエッチレート:5000Å/分
17	フォトレジストの剥離	高圧PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
18	フォトリソグラフィ マスク番号4:SCS_ホール	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3μm d) ソフトベーク90℃, 30分 e) 露光, 5.0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1.1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分

【表3】

19	SCSエッチング	RIE: HBr, Cl <sub>2</sub> , ターゲットエッチレート: 5000Å/分
20	フォトレジストの剥離	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
21	TEOS蒸着	LPCVD, 8μm
22	緻密化	800℃, 1時間
23	CMP	残す2+/-0.2μm
24	フォトリソグラフィ マスク番号5: アンカー__S CS	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1. 3um d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
25	酸化物エッチング	RIE: CF <sub>4</sub> , ターゲットのエッチレート: 2500Å/分
26	フォトレジストの剥離	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
27	酸化物蒸着	LPCVD, 8000Å
28	フォトリソグラフィ マスク番号6: 酸化物__構造物	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1. 3um d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
29	酸化物エッチング	RIE: CF <sub>4</sub> , ターゲットのエッチレート: 2500Å/分

30	フォトレジストの剥離	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
31	ポリシリコン蒸着	LPCVD, 5000Å
32	フォトリソグラフィ マスク番号7:ポリシリコン 0_無遺物	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3μm d) ソフトベーク90℃, 30分 e) 露光, 5.0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1.1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
33	高純ポリシリコン剥離	RIE: SF <sub>6</sub> , O <sub>2</sub>
34	ポリシリコンエッチング	RIE: HBr, Cl <sub>2</sub> , ターゲットエッ チレート: 5000Å/分
35	フォトレジストの剥離	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
36	PSG蒸着	PECVD, 2μm
37	フォトリソグラフィ マスク番号8:ポリシリコン 1_くぼみ	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3μm d) ソフトベーク90℃, 30分 e) 露光, 5.0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1.1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
38	酸化物エッチング	RIE: CF <sub>4</sub> , ターゲットのエッチレ ート: 2500Å/分
39	フォトレジストの剥離	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ



40	フォトリソグラフィ マスク番号9:PSG1_ホ ール	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3um d) ソフトベーク90℃, 30分 e) 露光, 5.0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1.1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
41	酸化物エッチング	RIE:CF <sub>4</sub> , ターゲットのエッチレ ート:2500Å/分
42	フォトレジストの剥離	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
43	ポリシリコン焼結	LPCVD, 2μm
44	PSG蒸着	PECVD, 2000Å
45	アニール	1000℃, 1時間
46	裏面ポリシリコン剥離	RIE:SF <sub>6</sub> , O <sub>2</sub>
47	フォトリソグラフィ マスク番号10:ポリシリコ ン1_構造物	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3um d) ソフトベーク90℃, 30分 e) 露光, 5.0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1.1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
48	酸化物エッチング	RIE:CF <sub>4</sub> , ターゲットのエッチレ ート:2500Å/分
49	ポリシリコンエッチング	RIE:HBr, Cl <sub>2</sub> , ターゲットエッ チレート:5000Å/分
50	フォトレジストの剥離	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ

51	酸化物エッチング	RIE:CF <sub>4</sub> , ターゲットのエッチレート:2500Å/分
52	酸化物蒸着	PECVD, 7500Å
53	フォトリソグラフィ マスク番号11:PSG2_ ホール	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3μm d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
54	酸化物エッチング	RIE:CF <sub>4</sub> , ターゲットのエッチレート:2500Å/分
55	フォトレジストの剥離	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
56	フォトリソグラフィ マスク番号12:PSG2_ PSG2_ホール	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3μm d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
57	酸化物エッチング	RIE:CF <sub>4</sub> , ターゲットのエッチレート:2500Å/分
58	フォトレジストの剥離	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
59	ポリシリコン蒸着	LPCVD, 1. 5μm
60	酸化物蒸着	PECVD, 2000Å
61	アニール	1000℃, 1時間

【表7】

62	フォトリソグラフィ マスク番号13:ポリシリ コン2__構造物	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1. 3um d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
63	表面ポリシリコン剥離	RIE: SF <sub>6</sub> , O <sub>2</sub>
64	酸化物エッチング	RIE: CF <sub>4</sub> , ターゲットのエッチレ ート: 2500Å/分
65	ポリシリコンエッチング	RIE: HBr, Cl <sub>2</sub> , ターゲットエッ チレート: 5000Å/分
66	酸化物エッチング	RIE: CF <sub>4</sub> , ターゲットのエッチレ ート: 2500Å/分
67	フォトレジストの剥離	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
68	酸化物エッチング	RIE: CF <sub>4</sub> , ターゲットのエッチレ ート: 2500Å/分
69	フォトリソグラフィ マスク番号14:SCS__露 光	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1. 3um d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分

【表8】

70	酸化物エッチング	HF
71	フォトリソグラフィ マスク番号15: 厚_金属	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3um d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
72	金属の蒸発	Cr/Au: 300Å/5000Å
73	リフトオフ	高温1112A
74	フォトリソグラフィ マスク番号16: 薄_金属	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3um d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分
75	金属の蒸発	Cr/Au: 200Å/300Å
76	リフトオフ	高温1112A
77	フォトリソグラフィ マスク番号17: 裏面	a) ベーク110℃, 15分 b) HMDS, 5. OK, 30秒 c) AZ1813, 4. OK, 30秒, 1.3um d) ソフトベーク90℃, 30分 e) 露光, 5. 0mW/cm <sup>2</sup> , 12秒 f) 現像MF319, 1. 1分 g) すすぎ, DI水, 4分 h) スピンドライ i) ハードベーク110℃, 30分

【表9】

30

78	窒化物エッチング	RIE: CF <sub>4</sub> , ターゲットのエッチレ ート: 2500Å/分
79	酸化物エッチング	RIE: CF <sub>4</sub> , ターゲットのエッチレ ート: 2500Å/分
80	前面を保護	SO膜布 (特許)
81	フォトリソグラムの剥離 (裏 面)	高温PRS2000, 20分 すすぎDI水, 5分 スピン, ドライ
82	KOHエッチング	45%, 85-85℃
83	窒化物エッチング	RIE: CF <sub>4</sub> , ターゲットのエッチレ ート: 2500Å/分
84	酸化物エッチング	RIE: CF <sub>4</sub> , ターゲットのエッチレ ート: 2500Å/分

【0014】図3は、工程6の終結時のウェーハを示す。幅約4マイクロメートルの基板のコンタクトホール22が、ウェーハのSCS層12上にパターン形成される。熱酸化物20の反応性イオンエッチング (RIE) が行われ、SCS層12も、反応性イオンエッチングを使って、埋め込み酸化層16を貫いてエッチングされている。ホール22のパターンを形成するために使用されるフォトリソグラムの残りを保護するために残され、露出した埋め込み酸化層16のRIEエッチ

ングは、1マイクロメートル下で行われる。これによって、BOX層16はエッチングして除去され、基板層14はコンタクトホール22の底に露出する。

【0015】図4は、工程14の終結時におけるウェーハの状態を示す。4マイクロメートル幅のSCSくぼみホール24は、SCS層12上にパターン形成され、熱酸化物20のRIEエッチングが行われ、それに続いてSCS層12のRIEエッチングがBOX層16を貫いて行われる。フォトリソグラムの残りを保

護するに残され、露出したBOX層16のRIEエッチングが、BOX層の約半分の厚さをエッチングにより除去するまで行われる。フォトレジストが除去されると、ポリシリコン26が蒸着され、くぼみ24と基板のコンタクトホール22を埋める。本実施形態では、くぼみ24と基板のコンタクト22は4マイクロメートルの幅なので、2.5マイクロメートルのポリシリコンで十分な厚さである。ポリシリコン26は、RIEでエッチングされ、エッチングストップとして熱酸化物20を使用する。これによって、ポリシリコン26は、くぼみと基板のコンタクトホールを除くすべての場所から除去される。ここで、ポリシリコンの厚さは、ポリシリコンのオーバーエッチングの量に従ってウェーハの残りの部分よりも低くなる。

【0016】図5は、工程17の終結時におけるウェーハの状態を示す。最初に、格子28の形態のパターンが、SCS層12に付される。格子28は、加工の初期の段階でウェーハに付されなければならない。格子のライン間隔は、光の波長と同じ程度であるから、付されるマスクの焦点を最適に合わせる必要がある。すなわち、解像度はできるかぎり良くなくてはならない。最適な焦点を確保するために、格子28は、地形(topography)がほとんどまたは全く構築されていないときにウェーハに付されなくてはならない。これによって、生じるグリッドの品質に影響を与える焦点の深さに何ら問題がないことが確実になる。さらに、ウェーハ上の地形が最小である間にグリッドを付すことによって、存在する地形の機能によって落とされる影からの悪影響が無いことが確実になる。一度、格子28がパターン形成されると、迅速なRIE酸化物エッチングが熱酸化物20を除去するために行われ、SCS層12の3マイクロメートルのRIEエッチングがそれに続く。それから、格子28を付すために使われたフォトレジストが除去される。

【0017】さまざまなタイプの格子28をSCS層12に付すことができる。具体的にどのタイプのグリッドを付すかは、使用されている特定のマイクロメカニカルまたはマイクロオプトメカニカルなデバイスに依る。格子の例には、反射光学アプリケーションに役立つフレネルパターン、スペクトル分析器などのアプリケーションにおける光周波数分割に役立つ均一な四角の格子、一定の波長のよりよいスペクトルの範囲を獲得し、光パワーを高めるために、格子内の組になったラインの間隔の増分を可変とする可変ピッチのグリッドが含まれる。異なった格子を、表面効果に基づいて共振を変更する水晶共振器などの他の光学目的のために使ってもよく、または、格子によって化学的または生物学的結合に利用できる表面区域が増すような、化学的または生物学的センサなどの非光学的目的のために使ってもよい。

【0018】図6は、工程23の終結時のウェーハを示

す。SCS層12は、全深度の機能30でパターン形成され、迅速なRIEエッチングが行われ、熱酸化物20を除去する。塩素ベースのRIEエッチングがSCS層12を貫いて行われ、エッチングストップとしてBOX層16を使用する。0.2マイクロメートルのドーパされていないLPCVD (low pressure chemical vapor deposition) 酸化物(図示せず)が蒸着され、全深度の機能(full-depth feature)30の側壁を保護する。6マイクロメートルの平坦化酸化物(POX)32が蒸着され、それによって、ウェーハは、後のCMP (chemical mechanical polishing) の後に平らになる。平坦化酸化物32は、ホウポリケイ酸ガラス(BPSG)または熱に関して強化された酸化物(TEOS)であることが好ましい。POX32の化学的、機械的研磨が、時間を限って、 $2 \pm 0.2$ マイクロメートルの平坦化酸化物32がSCS層12上に残るまで行われる。

【0019】図7は、工程27の終結時のウェーハを示す。一対のホール34がPOX層32にパターン形成され、RIEエッチングが行われ、そのパターンをPOX32まで移し、さらにSCS層まで下ろす。フォトレジストは除去され、0.6マイクロメートルの厚さの窒化物層36が、LPCVDを介して蒸着される。第2の窒化物層38も、後の水酸化カリウム(KOH)エッチングの間に特別に選択できるように、ウェーハの裏面に蒸着される。

【0020】図8は、工程31の終結時のウェーハを示す。パターン前面上のレジストは、亜硝酸構造物でパターン形成され、RIEエッチングを使って、パターンが前面の窒化物層36へ移される。LPCVDポリシリコンの層40が前面に蒸着され、類似の層42がウェーハの裏面に使用され、両方の層は0.5マイクロメートルの厚さである。

【0021】図9は、工程36の終結時のウェーハを示す。ウェーハの前面は、ポリシリコン構造物44でパターンが形成され、RIEエッチングが行われてパターンをポリシリコン層40に移す。フォトレジストは残され、ウェーハは裏返され、ポリシリコンのもう1つの層(図示せず)が裏面で蒸着され、RIEエッチングが行われる。ウェーハが再び裏返され、前面のレジストが除去される。前面のレジストは、裏返されるときに前面の保護層として働く。PECVDポリシリコンガラス(PSG)の層46が、ウェーハの前面に加えられて2マイクロメートルに緻密化される。

【0022】図10は、工程46後のウェーハを示す。ホール48がPSG層46にパターン形成され、エッチングストップとしてポリシリコン層40を使用してRIEエッチングが行われ、パターンをPSG層へ移す。フォトレジストは除去され、2マイクロメートルの厚さのLPCVDポリシリコンの前面の層50と裏面の層52が蒸着され、0.2マイクロメートルのPECVDポリ

シリコンガラス (PSG) (図示せず) の蒸着がそれに続き、ウェーハは 1,000℃で、1時間、アニールされ、ポリシリコン層 50, 52 をドーブし、応力を減少させる。

【0023】図 11 は、工程 52 の終結時のウェーハを示す。この PSG 層 46 は、ポリシリコン構造物 56 でパターン形成され、RIE エッチングが行われてパターンを PSG ハードマスクに移し、それに続いて、RIE エッチングによってパターンをポリシリコン層 50 に移す。レジストが残され、ウェーハが裏返され、RIE エッチングが行われて裏面のポリシリコン 52 を除去し、その際、前面レジストとハードマスクを使って前面を保護する。ウェーハは、裏返されるとときには後ろから裏返され、フォトリソが除去され、ハードマスクが RIE エッチングによって除去される。RIE エッチングは、露出した酸化物を、いずれも約 0.3 マイクロメートルずつ薄くする。PECVD ポリシリコンガラス (PSG 2) の層 54 が蒸着され、0.75 マイクロメートルまで緻密化される。

【0024】図 12 は、工程 55 の終結時のウェーハを示す。ホール 58 が PSG 2 層 54 にパターン形成され、RIE エッチングが行われてパターンを PSG へ移し、その際、ポリシリコン層をエッチングストップとして使用する。その後、フォトリソが除去される。

【0025】図 13 は、工程 68 の終結時のウェーハを示す。熱酸化物層 20 は、ポリシリコン構造物でパターン形成され、RIE エッチングが行われ、パターンを PSG ハードマスクに移す。RIE エッチングが行われ、パターンをポリシリコン 54 に移す。ウェーハが裏返され、RIE エッチングが行われて裏面のポリシリコンを除去し、その際、前面のレジストとハードマスクが前面を保護するために使用される。レジストが除去され、ハードマスクが RIE エッチングで除去される。

【0026】図 14 は、工程 70 の終結時にウェーハを示す。POX 32 が取り除かれなくてはならない前面の区域に、パターン形成される。ポリシリコンや金属は以降のエッチングではエッチングストップとして働くので、POX の層はポリシリコンまたは金属のない区域でのみ使用されなくてはならない。ウェットエッチングが行われて熱酸化物層 20 を取り除き、SCS 層 12 の選択された区域を露光させる。周辺の構造物がフッ化水素酸 (HF) エッチングによって損なわれないように、設計者は注意しなくてはならない。SCS 層上にあらかじめ置かれたポリシリコン層は、SCS 層 12 それ自体がエッチングストップを作成するので、SCS 層のどの部分もエッチングせずに、エッチングされて除去できる。

【0027】処理のこの時点で SCS 層の選択された区域を露光させることによって、他の重要な構造的 (すなわち、非犠牲的) 機能が SCS 上に構築された後に、機械的、電気的、光学的構造物が、選択された区域上に直

接構築される。このように、これらの機械的、電気的、光学的構造物は、SCS 層の有用な特性を利用できる方がよい。示された実施形態では、金属コーティング 60 は、SCS 層 12 にあらかじめエッチングされた格子 28 上に直接塗布される (図 15 を参照)。金属コーティング 60 の塗布によって、格子 28 は反射格子に転化する。同様に、金属要素は、SCS 層上に置かれて電流を通すことができ、絶縁要素は、窒化物または酸化物の層を使用して SCS 上に構築することができ、または、導電部分と絶縁部分の両方を含む要素が SCS 層上に構築できる。

【0028】図 15 は、工程 76 の終結時のウェーハを示す。フォトリソは、リフトオフされる金属についてパターン形成され、0.5 マイクロメートルの金属 60 が SCS 層 12 の前面上の格子 28 上に蒸着される。レジストがリフトオフされ、それらの区域の金属を取り除く。パターンは、金属が取り除かれなくてはならない区域に付され、200 Å のクロミウム (Cr) が格子 28 の前面に蒸着され、300 Å の金 (Au) がそれに続く。この場合、金は、格子の反射性を増大させ、蒸着される方法ゆえに格子のエッジも平滑化する。必要とされる反射性を有する他の金属も、格子 28 上で使用してよい。その例には、アルミニウム (Al) とプラチナ (Pt) が含まれる。レジストと金属コーティングレジストは、その後除去される。

【0029】図 16 は、工程 84 の終結時のウェーハを示す。裏面の窒化物または酸化物の層 38 は、KOH が所望の深さをエッチングするサイズのホールを使って、パターン形成される。ウェーハの厚さの不確定性は、ウェーハの他方の面に作られたホールのサイズに影響を与える。パターンが窒化物層 38 に RIE エッチングで移され、同じパターンが酸化物層 18 にも RIE エッチングで移される。ウェーハを貫く KOH エッチングが、蒸着した層で前面を保護しながら行われる。コーティングが使用される場合は、そのコーティングは、次の工程のために取り残されなくてはならない。次の工程は、窒化物 RIE エッチング、その後の酸化物 RIE エッチングを使用した裏面の窒化物または酸化物の除去を含み、露出した埋め込みの SCS を片付ける。その最後の工程から生じる可能性のある保護層は、前面を保護する。この処理では、(ポリシリコンからなる) 基板層 14 と (単結晶シリコンからなる) デバイス層 12 のために異なった材料を使用するため、ウェーハ 10 の裏面エッチングは可能である。これによって、デバイス層の裏面をエッチングすることなしに、基板をエッチングすることができ、デバイス層の両面を使用して、さまざまな素子を、図示される 2 面のミラーのような機械的および光学的素子にすることができる。

【0030】2 面の格子 204 を作るために、金属の 0.1 マイクロメートルのブランケットのくぼみ 62 が

ウェーハの裏面に蒸着されてミラーの裏面を金属被覆する。金属は、ウェーハの裏面にスパッタされる。裏面の金属被覆に適切な金属には、前面層 60 上で使用されるすべての金属が含まれる。裏面を金属被覆される素子がデバイス層を貫いて伸びるホールを有している場合、金属がホールを通じて流れてデバイスの前面の品質を損ねることがないように、裏面の金属は、注意深く蒸着されなくてはならない。このことは、光学素子については特に重要である。光学素子では、前面はほとんど完全な光学的品質を有しなくてはならず、裏面から前面への金属の流れ込みは許されない。金属が前面へ流れ込むこの問題に向けた効果的な方法は、金属が裏面にスパッタされる間、ウェーハを傾けることである。これによって、金属の流れ込みが防がれる。SCS 層 12 内の露出するホールはどれでも、スパッタされた金属がウェーハ中のすべての路を移動することを防ぐために、小さくなくてはならない(約 2 マイクロメートル)。2 面の光学素子が必要な場合にウェーハの前面上の金属をスパッタするとき、同じ技術が使用できる。

【0031】格子 204 などの素子の裏面を金属被覆することには、いくつかの利点がある。とりわけ、裏面の金属被覆は、一度終われば、素子の解離を容易にする。ミラーなどの 1 面の光学デバイス上で使用されるときには、裏面の金属被覆はミラーを通じた光の伝達を減少させる。裏面の金属被覆は、また、ミラー内に存在するすべての応力がバランスを確実に取れるようにすることを容易にし、それによって格子 204 が歪まなくなる。最後に、裏面の金属被覆によって 2 面の光学素子を作ることができる。

【0032】図 17 および図 18 は、ウェーハに構築された格子 204 が解離された後の処理の終結時でのウェーハを示す。解離は、標準 MUMPS 法を含むさまざまな方法のどれかによって行うことができる。標準 MUMPS 法は、(1) アセトンに 20~30 分間、緩やかに攪拌しながら浸すことによって、フォトリソを剥離する、(2) 49% ストレートの HF で 21/2~3 分間エッチングし、消イオン水で 10 分間すすぎ、(3) IPA で 5 分間すすぎ、チップを 100~110℃ で 10~15 分間ベークすることを内容とする。

【0033】MOEMS (microoptoelectromechanical system) 素子を生産するために利用される製造技術は、その処理に付随して、薄膜特性での障壁を作り出すこともあるので、本発明は、薄膜構造物のオプトメカニカルな特性での障壁を克服する MOEMS のための製作プロセスを可能にすることを含む。これらの薄膜特性を克服するための主要な革新性は、表面マイクロマシニング処理における基本の基板として絶縁体上シリコン (SOI) ウェーハを利用することである(図 1 を参照)。SOI は、シリコン層が絶縁材料によって支持されている構造を指す一般用語である。本実施形態では、シリコ

ンデバイス層は、従来のシリコンハンドルウェーハに結合されているが、インタフェースに SiO<sub>2</sub> 層薄膜層を有する。これによって、重要な光学素子および電子素子が単結晶シリコンデバイス層に製作できる。これらの素子は、デバイス層と基板の間のインタフェースで酸化物をエッチングすることによって、ハンドルウェーハから解離することができる。

【0034】インタフェースでの酸化物層は、エッチホールを有することができないミラーなどの光学素子を解離するための、裏面のエッチングストップ層として利用することもできる。デバイス層には、所定のアプリケーションに適切なユーザー指定の厚さがあり、優れた、再生可能な電気および薄膜の特性がある。デバイス層の裏面と前面の両方が磨かれ、これによって、デバイス層に製作された光学的要素は、光学品質の表面仕上げを得るために、追加の後処理の CMP (Chemical mechanical polish) 技術を必要としない。デバイス層は、単結晶シリコンなので、薄膜コーティングがない場合は、固有の応力または応力勾配がない。デバイス層は、従来の化学的気相成長法 (CVD) によって蒸着された薄膜より厚く作ることができるので、この層に製作された光学素子は、表面の反射率を上げるためのアルミニウムなどの薄膜蒸着、または表面の反射率を下げるための絶縁薄膜の後の歪みが最小である。追加の厚さも、動的に始動される光学的要素について歪みを最小にするためには重要である。

【0035】当業者が認識するように、本発明の既述の実施形態への、この他のさまざまな修正、拡張、変更は、請求項に定義される本発明の範囲と精神を越えずに提供される。

#### 【図面の簡単な説明】

【図 1】 本発明の処理に従って形成されたさまざまな光学的要素および機械的要素を有する MEMS デバイスを示す透視図である。

【図 2】 その中に MEMS および MOEMS デバイスが製作される絶縁体上シリコン (SOI) ウェーハの断面図である。

【図 3】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 4】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 5】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 6】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 7】 図 1 に示されるような MEMS デバイスを形

成するために使用される処理工程の一実施形態を示す図である。

【図 8】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 9】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 10】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 11】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 12】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 13】 図 1 に示されるような MEMS デバイスを

形成するために使用される処理工程の一実施形態を示す図である。

【図 14】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

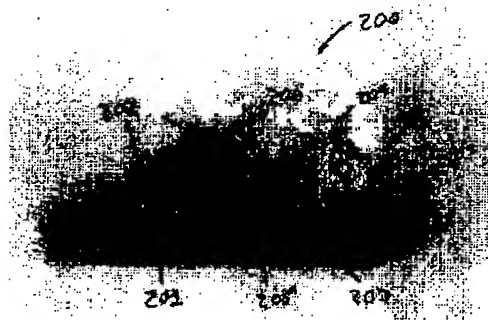
【図 15】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 16】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

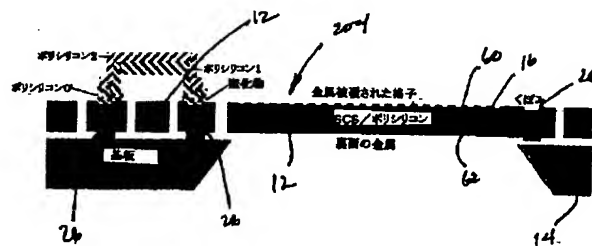
【図 17】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

【図 18】 図 1 に示されるような MEMS デバイスを形成するために使用される処理工程の一実施形態を示す図である。

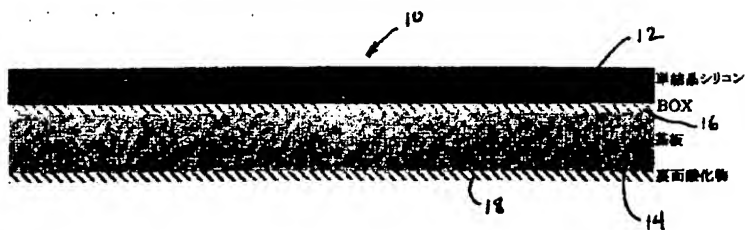
【図 1】



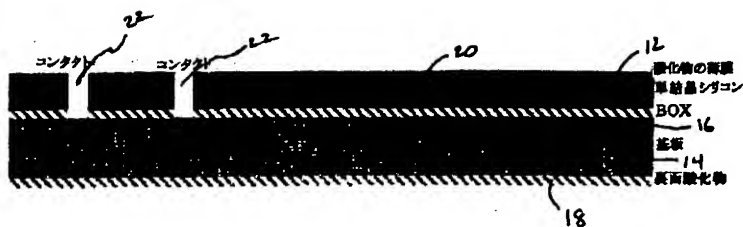
【図 17】



【図 2】



【図 3】

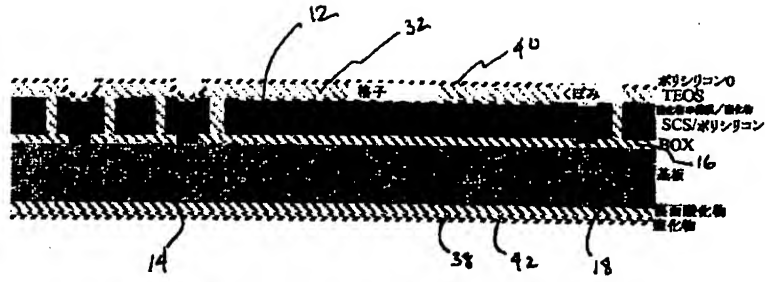




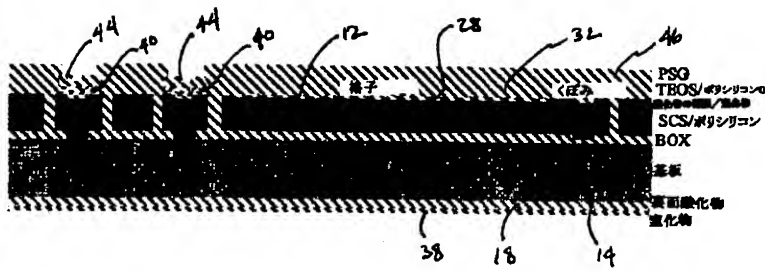
[illegible][illegible]

Fig. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 14 with a surface oxide layer 16. A gate oxide layer 12 is formed on the surface, with a gate electrode 36 and a gate insulating layer 32. A source/drain region 34 is formed in the substrate, with a source/drain electrode 38 and a source/drain insulating layer 34. A channel region 18 is formed in the substrate, with a channel electrode 18 and a channel insulating layer 18.

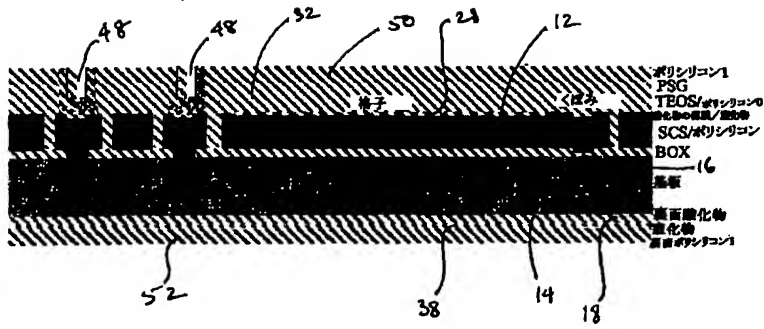
【図8】



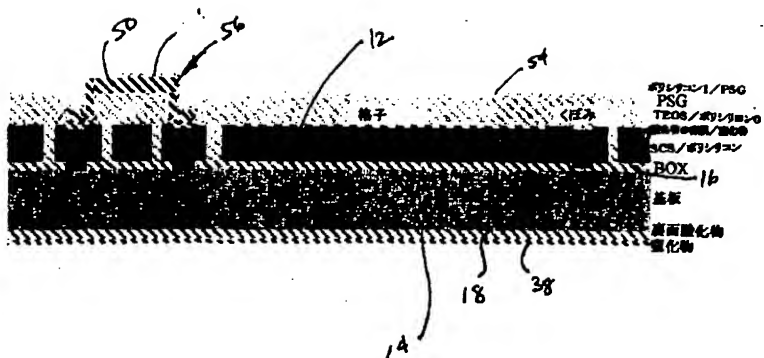
【図9】



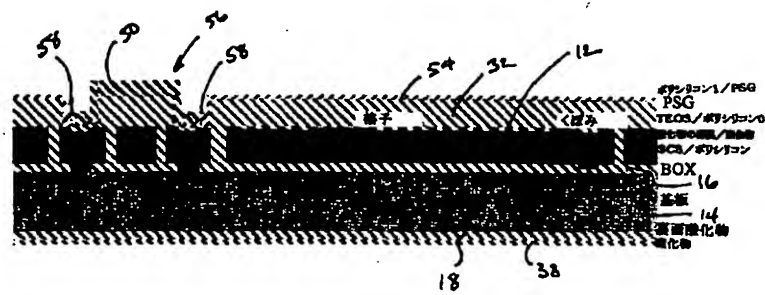
【図10】



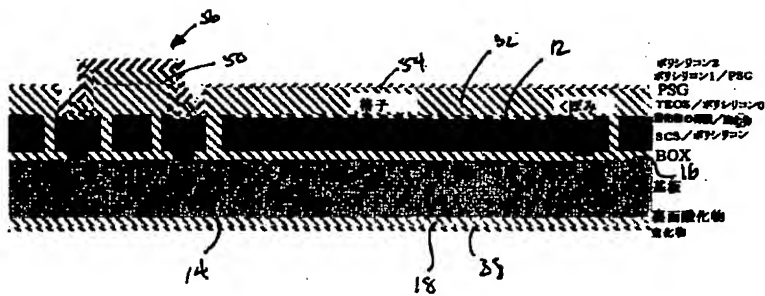
【図11】



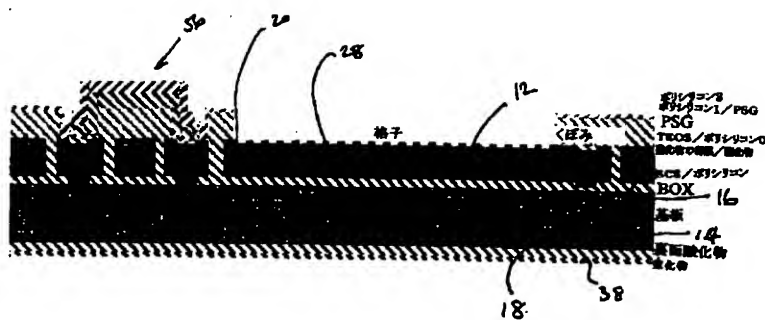
【図12】



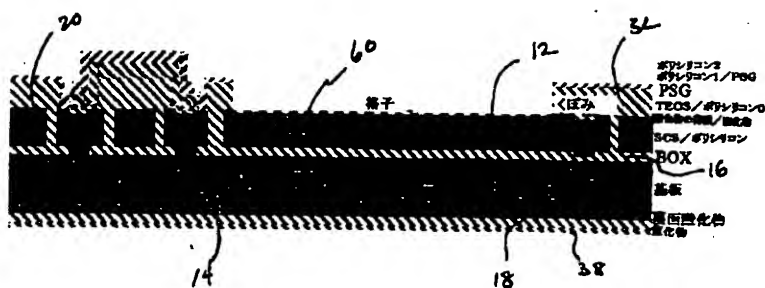
【図13】



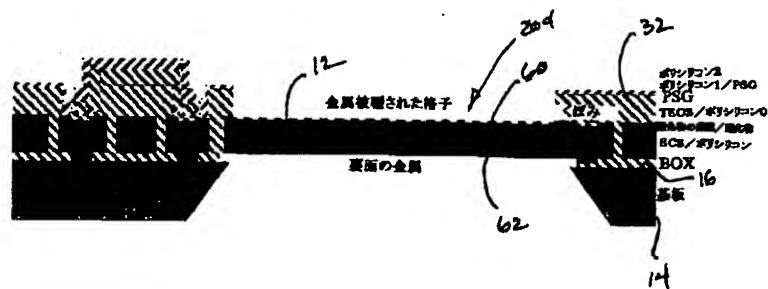
【図14】



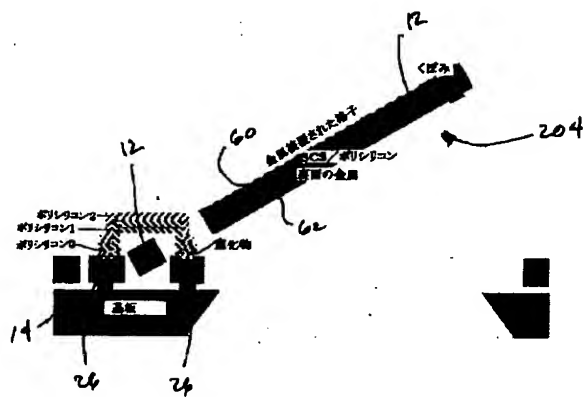
【図15】



【図16】



【図18】



【手続補正書】

【提出日】平成14年2月6日(2002.2.6)

【補正対象項目名】全図

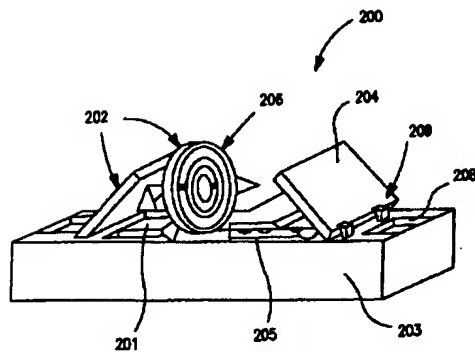
【手続補正1】

【補正方法】変更

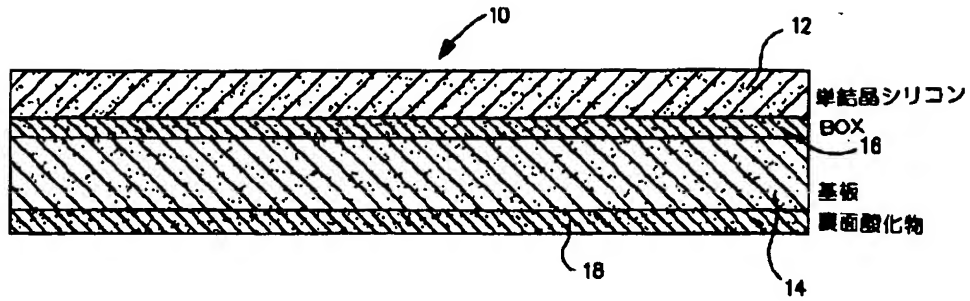
【補正対象書類名】図面

【補正内容】

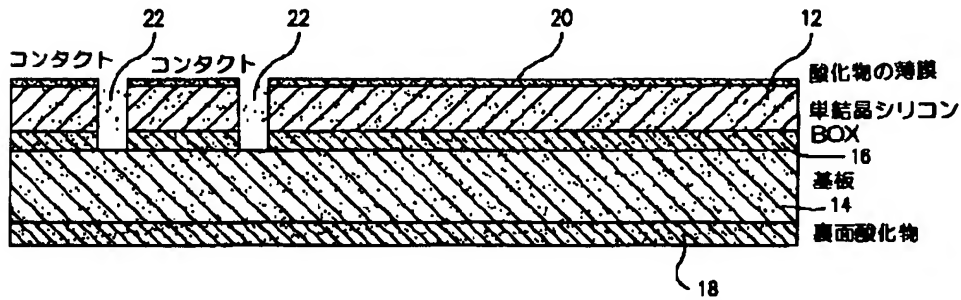
【図1】



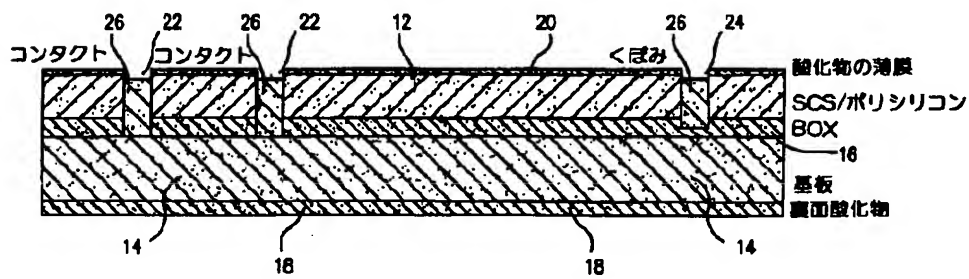
【図2】



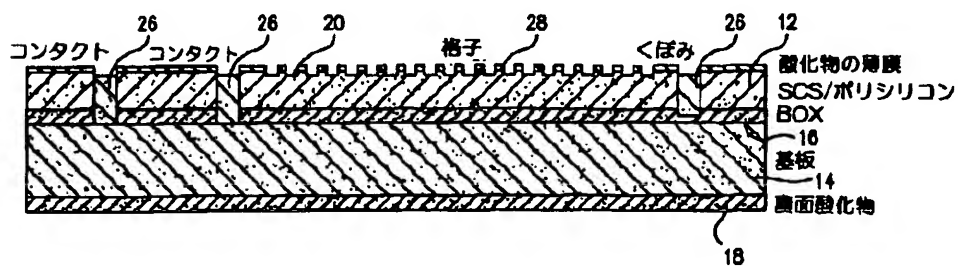
【図3】



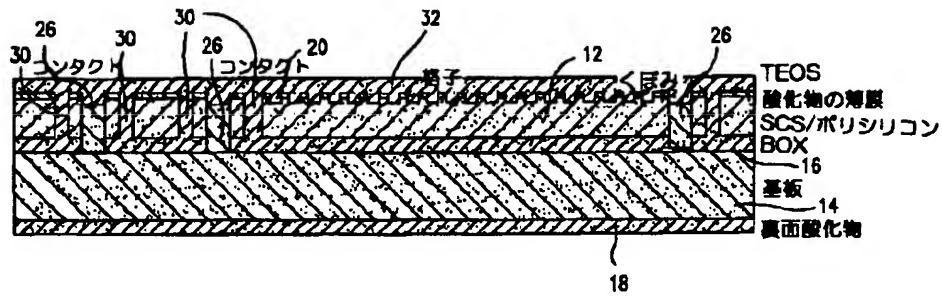
【図4】



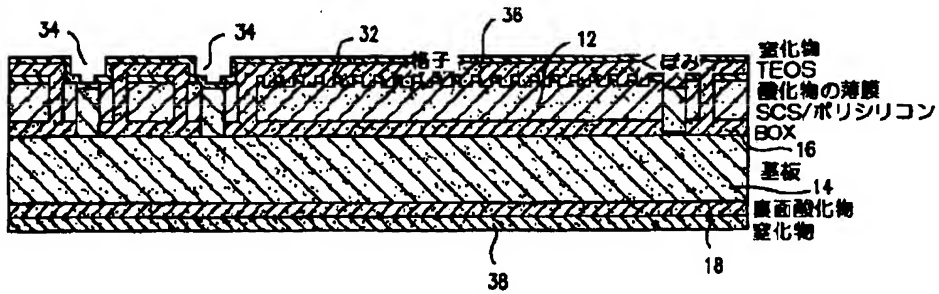
【図5】



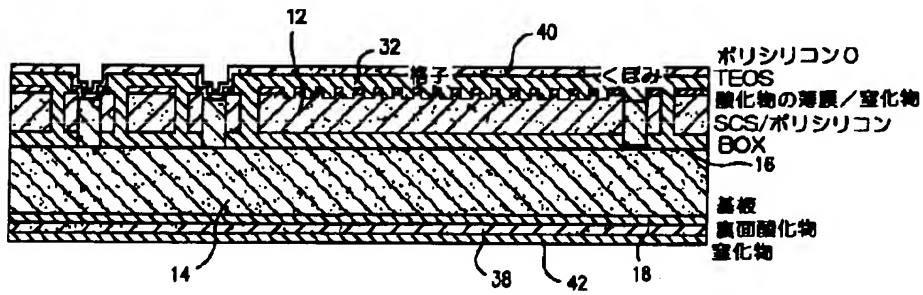
【図 6】



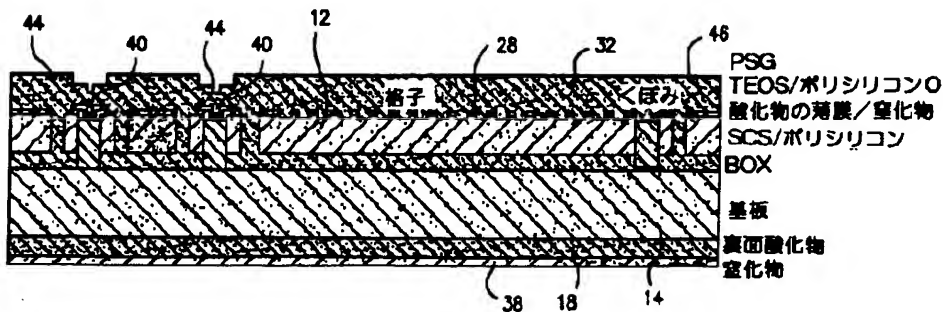
【図 7】



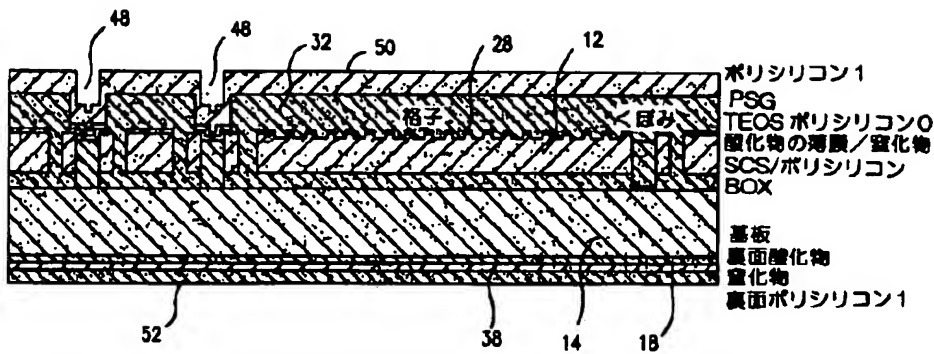
【図 8】



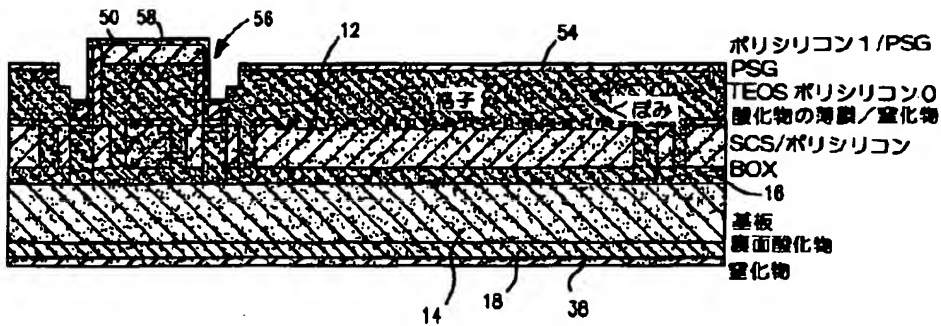
【図 9】



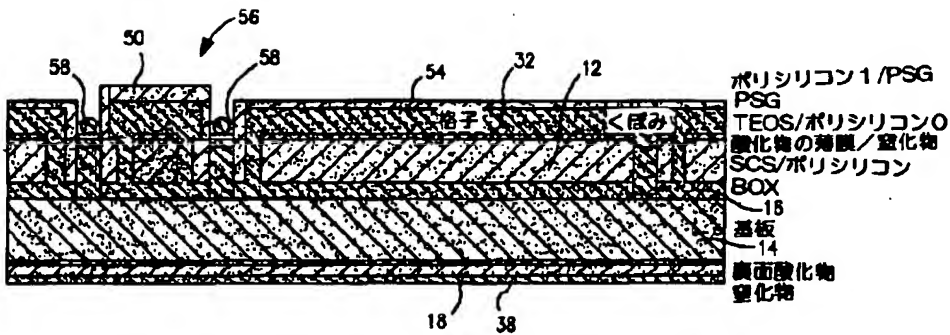
【図10】



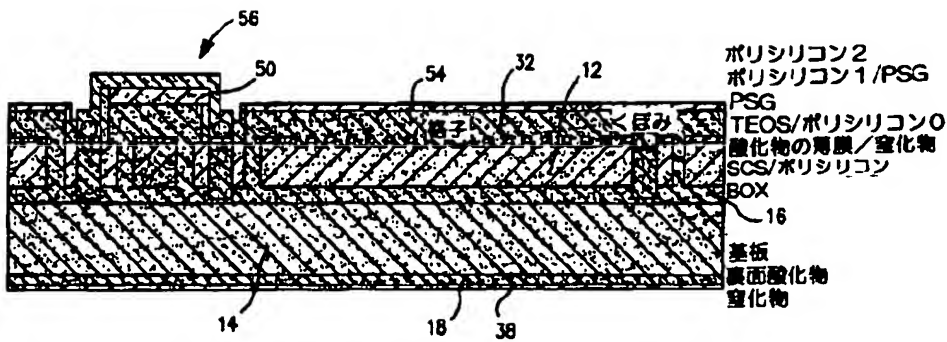
【図11】



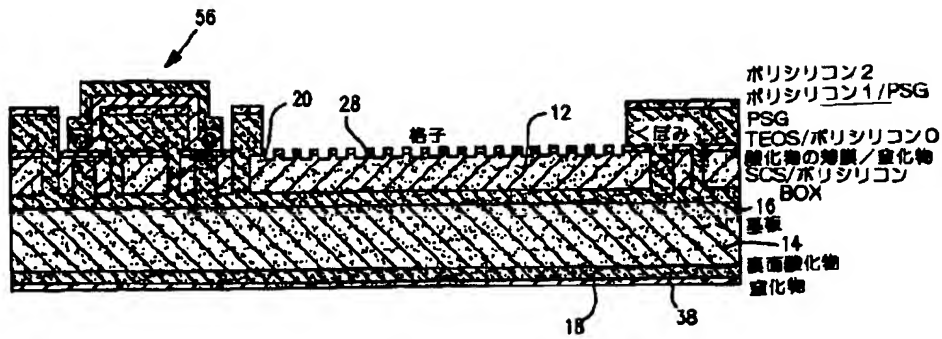
【図12】



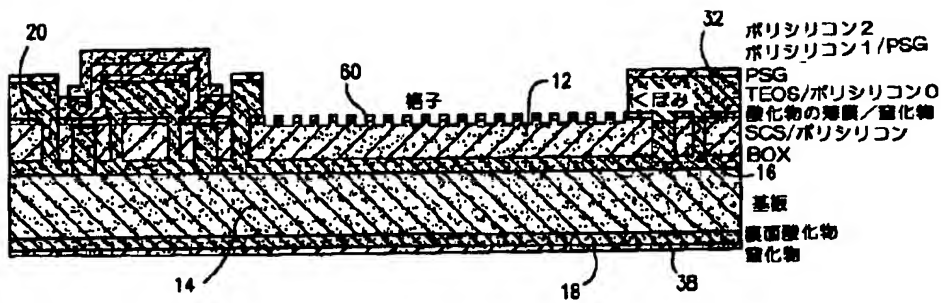
【図13】



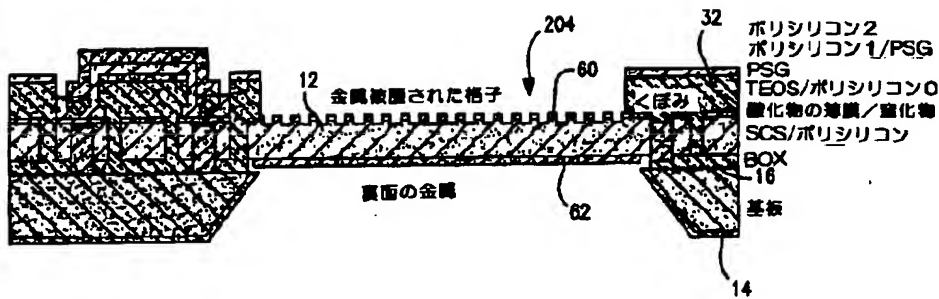
【図 14】



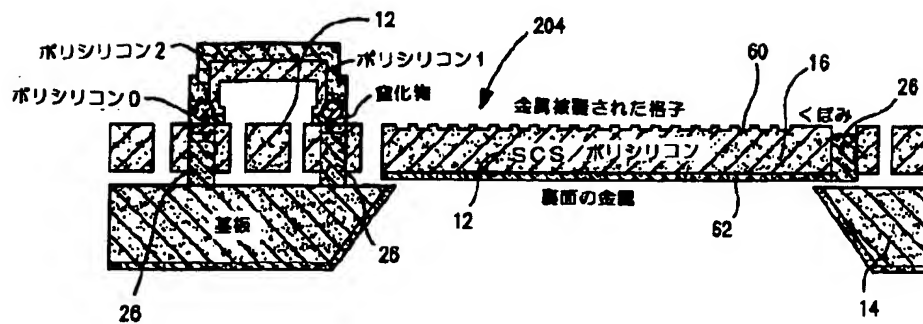
【図 15】



【図 16】

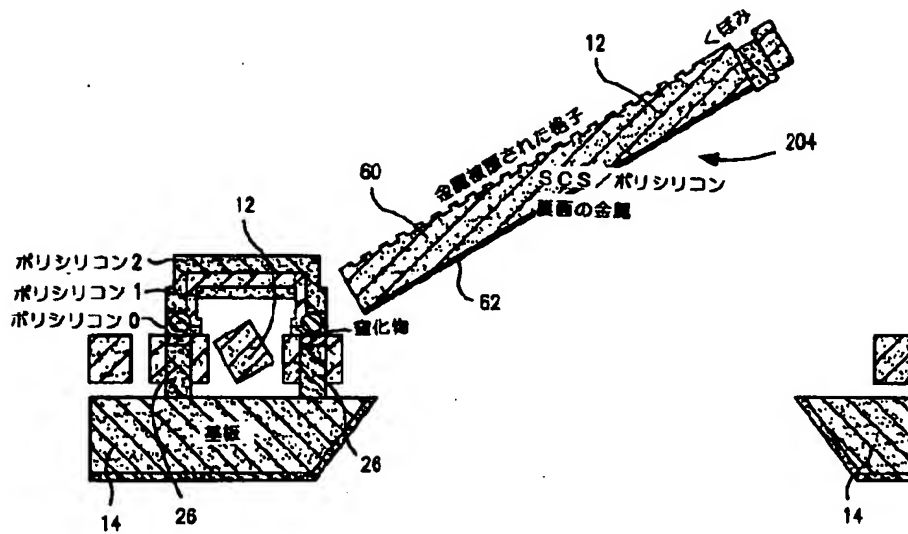


【图 17】





【図 18】



フロントページの続き

(72)発明者 ブルース アール シャーフ  
アメリカ合衆国 ワシントン州 シアトル  
イヴァンストーン アベニュー ノース  
4026

(72)発明者 ピーター エム ガルヴィン  
アメリカ合衆国 ニューヨーク州 ウェブ  
スター グリーン パイン レーン 11

(72)発明者 ジンカン シェン  
アメリカ合衆国 ニューヨーク州 ロチェ  
スター ブリッタニィ サークル 100

(72)発明者 ジョエル エイ カビィ  
アメリカ合衆国 ニューヨーク州 ロチェ  
スター スプリング ヴァリー ドライブ  
63

(72)発明者 チュアン チア リン  
アメリカ合衆国 カリフォルニア州 サン  
パブロ リッチモンド パークウェイ  
3400 アpartment 1321

(72)発明者 アレックス ティー トウラン  
アメリカ合衆国 ニューヨーク州 イサカ  
ノース トウリファマー ロード 2250  
アpartment ケイ 2 エイ

Fターム(参考) 4M118 AA08 AB10 BA30 CA02 EA01  
FC03 FC06 FC13  
5F032 AA09 AA16 BA05 CA17 CA21  
DA22 DA53

## 【外国語明細書】

## 1. Title of Invention

PROCESS FOR MANUFACTURING MICROMECHANICAL AND  
MICROOPTOMECHANICAL STRUCTURES WITH PRE-APPLIED PATTERNING

## 2. Claims:

1. A micromechanical or microoptomechanical structure produced by a process comprising:
  - defining a pattern on a single crystal silicon layer separated by an insulator layer from a substrate layer;
  - defining a structure in the single-crystal silicon layer;
  - depositing and etching a polysilicon layer on the single crystal silicon layer, with-remaining polysilicon forming mechanical or optical elements of the structure; and
  - releasing the formed structure.
2. The structure of claim 1 wherein defining a pattern on the single crystal silicon layer comprises:
  - photolithographically defining the pattern on the single crystal silicon layer;
  - covering the pattern with a protective oxide layer.
3. The structure of claim 2 made by a process further comprising removing the protective layer of oxide after the polysilicon structures have been formed.
4. The structure of claim 1 wherein defining the pattern occurs before any other structure is defined on the single crystal silicon layer.
5. The structure of claim 1 wherein the pattern is a grid.
6. The structure of claim 5 wherein the grid is selected from the group consisting of a Fresnel grid, a regular grid, and a proportionally spaced grid.
7. The structure of claim 5 made by a process further comprising applying a coating to the pattern.

8. The structure of claim 7 wherein the coating is a metal selected from the group consisting of gold, aluminum, chromium and platinum.
9. The microstructure of claim 1 wherein selectively etching the single crystal silicon further comprises the step photolithographically patterning and dry etching the single crystal silicon layer.
10. The structure of claim 1 wherein the insulator layer is an oxide layer.
11. A process for manufacturing a micromechanical or microoptomechanical structure, the process comprising:
  - defining a pattern on a single crystal silicon layer separated by an insulator layer from a substrate layer;
  - defining a structure in the single-crystal silicon layer;
  - depositing and etching a polysilicon layer on the single crystal silicon layer, with remaining polysilicon forming mechanical or optical elements of the structure; and
  - releasing the formed structure.
12. The process of claim 11 wherein defining a pattern on the single crystal silicon layer comprises:
  - photolithographically defining the pattern on the single crystal silicon layer;
  - covering the pattern with a protective oxide layer.
13. The process of claim 12 further comprising removing the protective layer of oxide after the polysilicon structures have been formed.
14. The process of claim 11 wherein defining the pattern occurs before any other structure is defined on the single crystal silicon layer.

15. The process of claim 11 wherein the pattern is a grid.
16. The process of claim 15 wherein the grid is selected from the group consisting of a Fresnel grid, a regular grid, and a proportionally spaced grid.
17. The process of claim 15 further comprising applying a coating to the pattern.
18. The process of claim 17 wherein the coating is a metal selected from the group consisting of gold, aluminum, chromium and platinum.
19. The process of claim 11 wherein selectively etching the single crystal silicon further comprises the step photolithographically patterning and dry etching the single crystal silicon layer.
20. The process of claim 11 wherein the insulator layer is an oxide layer.

### 3. Detailed Description of the Invention

## FIELD OF THE INVENTION

Micromechanical and microoptomechanical structures fabricated on silicon-on-insulator (SOI) wafers are described. More particularly micromechanical and microoptomechanical components created by chemically and mechanically modifying SOI wafers and metalizing a backside of the components are described.

## BACKGROUND

Inherent thin film properties of materials limit many surface micromachining processes. For example, variability of materials properties in polysilicon thin films (such as Young's modulus and Poisson's ratio, residual stress, and stress gradients) can prohibit manufacture of desired microstructures. This is particularly apparent in microoptical components such as mirrors, lenses, and diffraction gratings, which must be very flat for high-optical performance, and normally have to be made in the single crystal silicon layer. Since conventional surface micromachining requires that all components be made in polysilicon layers, optical performance can be limited.

The leading commercial microelectromechanical (MEMS) processing technologies are (1) bulk micromachining of single crystal silicon, and (2) surface micromachining of polycrystalline silicon. Each of these processing technologies has associated benefits and barriers. Bulk micromachining of single crystal silicon, an excellent material with well-controlled electrical and mechanical properties in its pure state, has historically utilized wet anisotropic wet etching to form mechanical elements. In this process, the etch rate is dependent on the crystallographic planes that are exposed to the etch solution, so that mechanical elements are formed that are aligned to the rate limiting crystallographic planes. For silicon these planes are the (1,1,1) crystal planes. The alignment of mechanical features to the crystallographic planes leads to limitations in the geometries that can be generated using this technique. Typical geometries include V-groove trenches and inverted pyramidal structures in (1,0,0) oriented silicon wafers, where the trenches and inverted pyramids are bound by (1,1,1) crystallographic planes. Geometries that include convex corners are not allowed unless additional measures are taken to protect etching of the crystal planes that

make up the corners. The etch rate also varies with dopant concentration, so that the etch rate can be modified by the incorporation of dopant atoms, which substitute for silicon atoms in the crystal lattice. A boron dopant concentration on the order of  $5 \times 10^{19}/\text{cm}^3$  is sufficient to completely stop etching, so that mechanical elements bounded by other crystal planes can be generated by using dopant "etch stop" techniques. However, dopant concentrations of this magnitude are sufficient to modify the desirable electrical and mechanical properties of the pure single crystal silicon material, leading to device design and manufacturability constraints. Recent advances in Deep Reactive Ion Etching (DRIE) (*see, e.g., J.K. Bhardwaj and H. Ashraf, "Advanced silicon etching using high density plasmas", Micromachining and Microfabrication Process Technology, 23-24 October 1995, Austin, Texas, SPIE Proceedings Vol. 2639, pg. 224*) which utilize sidewall passivation and ion beam directionality to achieve etch anisotropy, have relaxed the in-plane geometric design constraints, but still require etch stop techniques to control the depth of the etch into the wafer, and additional processing steps are required to undercut a structure to release it from the substrate.

In contrast to bulk micromachining, surface micromachining of polycrystalline silicon utilizes chemical vapor deposition (CVD) and reactive ion etching (RIE) patterning techniques to form mechanical elements from stacked layers of thin films (*see, e.g., R.T. Howe, "Surface micromachining for microsensors and microactuators", J. Vac. Sci. Technol. B6, (1988) 1809*). Typically CVD polysilicon is used to form the mechanical elements, CVD nitride is used to form electrical insulators, and CVD oxide is used as a sacrificial layer. Removal of the oxide by wet or dry etching releases the polysilicon thin film structures. The advantage of the surface micromachining process is the ability to make complex structures in the direction normal to the wafer surface by stacking releasable polysilicon layers (*see, e.g., K.S.J. Pister, M.W. Judy, S.R. Burgett, and R.S. Fearing, "Microfabricated hinges", Sensors and Actuators A33, (1992) 249 and L.Y. Lin, S.S. Lee, K.S.J. Pister, and M.C. Wu, "Micromachined three-dimensional micro-optics for free-space optical system", IEEE Photon. Technol. Lett. 6, (1994) 1445*) and complete geometric design freedom in the plane of the wafer since the device layers are patterned using isotropic RIE etching techniques. An additional advantage of surface micromachining is that it utilizes thin film materials such as polysilicon, oxide, nitride, and aluminum, that are commonly used in microelectronic device fabrication, albeit with different materials properties that are optimized for mechanical rather than electrical performance. This commonality in materials allows for increased integration of microelectronic and micromechanical components into the same fabrication process, as

demonstrated in Analog Devices' integrated accelerometer, and in SSI Technologies' integrated pressure sensor.

While surface micromachining relaxes many of the limitations inherent in bulk micromachining of single crystal silicon, it nonetheless has its own limitations in thin film properties. The maximum film thickness that can be deposited from CVD techniques are limited to several microns, so that thicker structures must be built up from sequential depositions. Thicker device layers are required for dynamic optical elements where dynamic deformations can impact optical performance, and for optical elements which require additional thin film coatings that can cause stress-induced curvature. The thin film mechanical properties, such as Young's modulus and Poisson's ratio, are dependent on the processing parameters and the thermal history of the fabrication process, and can typically vary by as much as 10% from run to run. This is an important limitation for robust manufacturability where these thin film mechanical properties can be a critical parameter for device performance.

An additional limitation of conventional surface micromachining is that holes through the mechanical elements must be included in the design to allow the etchants used to release the mechanical elements to reach the sacrificial layers. While this is not an important limitation for optical elements such as Fresnel lenses and diffraction grating that include holes in their design, it is an important limitation for optical elements such as mirrors where holes are a detriment to optical performance. Flatness and reflectivity are also important optical design criteria that can be impacted by conventional surface micromachining processes. Thin film stresses and stress gradients, typical of polysilicon thin films, can lead to warping of optical surfaces. In addition the surface of as-deposited polysilicon thin films is not polished, and thus requires post-processing Chemical Mechanical Polishing (CMP) techniques to obtain an optical quality surface finish.

#### SUMMARY OF THE INVENTION

The present invention provides a micromechanical or microoptomechanical structure. The structure is produced by a process comprising defining a pattern on a single crystal silicon layer separated by an insulator layer from a substrate layer; defining a structure in the single-crystal silicon layer; depositing and etching a polysilicon layer on the single crystal silicon layer, with remaining polysilicon forming mechanical or optical elements of the structure; and releasing the formed structure.

## DETAILED DESCRIPTION OF THE INVENTION

Described below is an embodiment of the present inventive process and device. The embodiment illustrates only one of the several ways the present invention may be implemented. Although the embodiment is described in the context of a moving mirror on a silicon-on-insulator (SOI) chip, it could easily be used for other components. In the description that follows, like numerals represent like elements or steps in all figures. For example, if the numeral 10 is used in a figure to refer to a specific element or step, the numeral 10 appearing in any other figure refers to the same element.

Figure 1 illustrates some of the very complex microelectromechanical (MEMS) and microoptoelectromechanical (MOEMS) devices that can be constructed on a silicon wafer using the embodiment of the present invention. The device 200 includes movable optical elements constructed from single crystal silicon overlaying an insulator such as a diffraction grating 202, a grating 204, and a Fresnel lens 206. Active electronic elements can also be defined in the single crystal silicon layer, including flip chip bonded light producing laser diodes 201, light detecting photodiodes 203, or conventional CMOS logic circuitry 205. Bulk modifications required for packaging or mounting of the substrate are also possible, such as illustrated by etched cavity 208, and added polysilicon layers can be used for mechanical elements such as hinges 209.

Figure 2 shows an embodiment of a silicon-on-insulator (SOI) wafer 10 suitable for use in the embodiment of the process described herein. The SOI wafer 10 includes a thin single crystal silicon device wafer layer 12, and a substrate layer 14. The substrate layer 14 is preferably polysilicon. Between these two layers 12 and 14 there is a buried oxide (BOX) layer 16 that integrally bonds the device layer 12 and the substrate layer 14. This buried oxide layer 16 can also be used as an etch stop in wet and dry etching procedures to form a thin membrane. In addition, there is a back oxide layer 18 on the back side of the substrate



layer 14, which is used to control etch down to the interface between the device layer 12 and substrate layer 14 from the backside. Preferably, the wafer is circular with a diameter of 100mm  $\pm$  0.5mm and a thickness of 525  $\pm$  25 microns. The overall thickness of the wafer is made up of 1  $\pm$  0.5 microns of backside oxide 20, 1  $\pm$  0.05 microns of buried oxide (BOX), and 5  $\pm$  0.5 microns of single crystal silicon. The remainder of the thickness is made up of the substrate.

Before beginning processing, the wafer is inspected to verify that it meets the manufacturer's specifications. If it meets the specifications, the wafer is inscribed with a lot and wafer number, cleaned, and 2000Å of thermal oxide 20 are grown on top of the single crystal silicon layer 12 to act an etch stop in a later polysilicon etch and to prevent doping of the SCS by a later polysilicon glass (PSG) layer.

Figures 3-18, considered in conjunction with the following detailed steps 1-84, illustrate an embodiment of a process used on the wafer of Figure 2 to produce the grating 204 of the microstructure 200 illustrated in Figure 1. The process illustrated below can also be used for other types of components; it all depends on what is patterned into the wafer. The patterning of the structures on the wafer is done using standard photolithography techniques well known in the art, which typically comprise depositing layers of the correct materials on the wafer, applying a photoresist on the wafer, exposing the photoresist in areas to be added (light mask) or removed (dark mask) and then performing the appropriate etch.

Step #	Process	Comments
1.	Thermal oxidation	1000°C, 2000 Å
2.	Photolithography Mask # 1: Substrate_Contact	a) bake 110 degree C, 15 min b) HMDS, 5.0K, 30 sec c) AZ1813, 4.0K, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
3.	Oxide etch	RJE: CF <sub>4</sub> , target etch rate: 2500 Å/min
4.	SCS etch	RJE: HBr, Cl <sub>2</sub> , target etch rate: 5000 Å/min
5.	Oxide etch	RJE: CF <sub>4</sub> , target etch rate: 2500 Å/min
6.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
7.	Photolithography Mask # 2: SCS_Dimple	a) bake 110 degree C, 15 min b) HMDS, 5.0K, 30 sec c) AZ1813, 4.0K, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min

Step #	Process	Comments
		h) spin dry i) hardbake 110 degree C, 30 min
8.	Oxide etch	RIE: $CF_4$ , target etch rate: 2500 Å /min
9.	SCS etch	RIE: $HBr, Cl_2$ , target etch rate: 5000 Å /min
10.	Oxide etch	RIE: $CF_4$ , target etch rate: 2500 Å /min
11.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
12.	Polysilicon deposition	LPCVD, 3 μm
13.	Polysilicon etch	RIE: $HBr, Cl_2$ , target etch rate: 5000 Å /min
14.	Oxide etch	RIE: $CF_4$ , target etch rate: 2500 Å /min
15.	Photolithography Mask # 3: SCS_Grating	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3μm d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
16.	SCS etch	RIE: $HBr, Cl_2$ , target etch rate: 5000 Å /min
17.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
18.	Photolithography Mask # 4: SCS_Hole	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3μm d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
19.	SCS etch	RIE: $HBr, Cl_2$ , target etch rate: 5000 Å /min
20.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
21.	TEOS dcposition	LPCVD, 8 μm
22.	Densification	800°C, 1 hour
23.	CMP	Leave 2 +/- 0.2 μm
24.	Photolithography Mask # 5: Anchor_SCS	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3μm d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
25.	Oxide etch	RIE: $CF_4$ , target etch rate: 2500 Å /min
26.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
27.	Nitride deposition	LPCVD, 6000 Å
28.	Photolithography Mask # 6: Nitride Struct	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec

Step #	Process	Comments
		c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
29.	Nitride etch	RIE: CF <sub>4</sub> , target etch rate: 2500 Å/min
30.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
31.	Polysilicon deposition	LPCVD, 5000 Å
32.	Photolithography Mask # 7: Poly0_Struct	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
33.	Backside polysilicon strip	RIE: SF <sub>6</sub> , O <sub>2</sub>
34.	Polysilicon etch	RIE: HBr, Cl <sub>2</sub> , target etch rate: 5000 Å/min
35.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
36.	PSG deposition	PECVD, 2 µm
37.	Photolithography Mask # 8: Poly1_Dimple	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
38.	Oxide etch	RIE: CF <sub>4</sub> , target etch rate: 2500 Å/min
39.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
40.	Photolithography Mask # 9: PSG1_Hole	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
41.	Oxide etch	RIE: CF <sub>4</sub> , target etch rate: 2300 Å/min
42.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
43.	Polysilicon deposition	LPCVD, 2µm
44.	PSG deposition	PECVD, 2000 Å
45.	Anneal	1000°C, 1 hour
46.	Backside polysilicon strip	RIE: SF <sub>6</sub> , O <sub>2</sub>
47.	Photolithography	a) bake 110 degree C, 15 min

Step #	Process	Comments
	Mask # 10: Poly1_Struct	b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
48.	Oxide etch	RIE: CF <sub>4</sub> , target etch rate: 2500 Å/min
49.	Polysilicon etch	RIE: HBr, Cl <sub>2</sub> , target etch rate: 5000 Å/min
50.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
51.	Oxide etch	RIE: CF <sub>4</sub> , target etch rate: 2500 Å/min
52.	Oxide deposition	PECVD, 7500 Å
53.	Photolithography Mask # 11: PSG2_Hole	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
54.	Oxide etch	RIE: CF <sub>4</sub> , target etch rate: 2500 Å/min
55.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
56.	Photolithography Mask # 12: PSG2_PSG2_Hole	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
57.	Oxide etch	RIE: CF <sub>4</sub> , target etch rate: 2500 Å/min
58.	Strip photoresist	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
59.	Polysilicon deposition	LPCVD, 1.5 µm
60.	Oxide deposition	PECVD, 2000 Å
61.	Anneal	1000°C, 1 hour
62.	Photolithography Mask # 13: Poly2_Struct	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
63.	Backside polysilicon strip	RIE: SF <sub>6</sub> , O <sub>2</sub>
64.	Oxide etch	RIE: CF <sub>4</sub> , target etch rate: 2500 Å/min
65.	Polysilicon etch	RIE: HBr, Cl <sub>2</sub> , target etch rate: 5000 Å/min
66.	Oxide etch	RIE: CF <sub>4</sub> , target etch rate: 2500 Å/min
67.	Strip photoresist	Hot PRS2000, 20 min

Step #	Process	Comments
		rinse DI water, 5 min spin, dry
68.	Oxide etch	RIE: $CF_4$ , target etch rate: 2500 Å/min
69.	Photolithography Mask # 14: SCS_Expose	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
70.	Oxide etch	HF
71.	Photolithography Mask # 15: Thick_Metal	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
72.	Metal evaporation	Cr/Au: 300 Å / 5000 Å
73.	Lift-off	Hot 1112A
74.	Photolithography Mask # 16: Thin_Metal	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
75.	Metal evaporation	Cr/Au: 200 Å / 300 Å
76.	Lift-off	Hot 1112A
77.	Photolithography Mask # 17: Back	a) bake 110 degree C, 15 min b) HMDS, 5.OK, 30 sec c) AZ1813, 4.OK, 30 SEC, 1.3um d) softbake 90 C, 30 min e) expose, 5.0mW/cm <sup>2</sup> , 12 sec f) develop MF 319, 1.1min g) rinse, DI water, 4 min h) spin dry i) hardbake 110 degree C, 30 min
78.	Nitride etch	RIE: $CF_4$ , target etch rate: 2500 Å/min
79.	Oxide etch	RIE: $CF_4$ , target etch rate: 2500 Å/min
80.	Protect front side	Spin-on coat (proprietary)
81.	Strip photoresist (backside)	Hot PRS2000, 20 min rinse DI water, 5 min spin, dry
82.	KOH etch	45%, 65-85°C
83.	Nitride etch	RIE: $CF_4$ , target etch rate: 2500 Å/min
84.	Oxide etch	RIE: $CF_4$ , target etch rate: 2500 Å/min

Figure 3 illustrates the wafer at the conclusion of step 6. Substrate contact holes 22 about 4 microns wide are patterned onto the SCS layer 12 of the wafer. A reactive ion etch

(RIE) of the thermal oxide 20 is performed, and the SCS layer 12 is etched through to the buried oxide 16, also using a reactive ion etch. The photoresist used to pattern the holes 22 is left on to protect the rest of the oxide 20, and an RIE etch of the exposed buried oxide 16 is performed 1 micron down. This etches the BOX layer 16 away and leaves the substrate layer 14 exposed at the bottom of the contact holes 22.

Figure 4 illustrates the state of the wafer at the conclusion of step 14. SCS dimple holes 24 4 microns wide are patterned onto the SCS layer 12 and an RIE etch of the thermal oxide 20 is performed, followed by an RIE etch of the SCS layer 12 through to the BOX layer 16. The photoresist is left on to protect the rest of the thermal oxide 20 and an RIE etch of the exposed BOX layer 16 is performed until about half the thickness of the BOX layer is etched away. The photoresist is removed and polysilicon 26 is deposited to fill the dimple 24 and substrate contact holes 22. In this embodiment, 2.5 microns of polysilicon should be enough, since the dimples 24 and substrate contacts 22 are 4 microns wide. The polysilicon 26 is etched with an RIE using the thermal oxide 20 as an etch stop. This removes the polysilicon 26 from everywhere except in the dimple and substrate contact holes, where the level of the polysilicon will be lower than the rest of the wafer, depending on the amount of polysilicon overetch.

Figure 5 illustrates the state of the wafer at the conclusion of step 17. A pattern in the form of a grating 28 is first applied to the SCS layer 12. The grating 28 must be applied to the wafer at this early stage of processing. Optimum focusing of the applied mask is needed because the line spacing of the grating is of the same order as the wavelength of light, meaning that the resolution must be as good as possible. To assure optimum focus, the grating 28 must be applied to the wafer when there is little or no topography already built up. This ensures that there are no problems with depth of focus that would affect the quality of the resulting grid. In addition, applying the grid while there is minimum topography on the wafer ensures that there are no adverse effects from shadows cast by topographical features that are present. Once the grating 28 is patterned on the wafer, a quick RIE oxide etch is then performed to remove the thermal oxide 20, followed by a 3 micron RIE etch of the SCS layer 12. The photoresist used to apply the grating 28 is then removed.

Various types of gratings 28 can be applied to the SCS layer 12; the exact type of grid will depend on the application of the particular micromechanical or microoptomechanical device. Examples of gratings include a Fresnel pattern useful for reflective optical applications; a uniform square grating useful for light frequency division in applications such

as a spectrum analyzer; and a variable pitch grid where sets of lines in the grating are spaced in variable increments to achieve better spectral coverage of certain wavelengths and enhance optical power. Different gratings may also be used for other optical purposes, such as a crystal oscillator which changes resonance based on surface effects, or for non-optical purposes such as chemical or biological sensors, where the grating increases the available surface area for chemical or biological binding.

Figure 6 illustrates the wafer at the conclusion of step 23. The SCS layer 12 is patterned with full-depth features 30, and a quick RIE etch is performed to remove the thermal oxide 20. A chlorine-based RIE etch is performed all the way through the SCS layer 12, using the BOX layer 16 as an etch stop. 0.2 microns of undoped, low pressure chemical vapor deposition (LPCVD) oxide (not shown) are deposited to protect the sidewalls of the full-depth features 30. Six (6) microns of planarization oxide (POX) 32 are deposited so that the wafer will be flat after later chemical mechanical polishing (CMP); the planarization oxide 32 is preferably boron polysilicate glass (BPSG) or thermally enhanced oxide (TEOS). A timed chemical mechanical polish of the POX 32 is performed until  $2 \pm 0.2$  microns of the planarization oxide 32 remain on the SCS layer 12.

Figure 7 illustrates the wafer at conclusion of step 27. A pair of holes 34 are patterned in the POX layer 32, and an RIE etch is performed to transfer the pattern into the POX 32 and down to the SCS layer. The photoresist is removed and a nitride layer 36 with a thickness of 0.6 microns is deposited via LPCVD. A second nitride layer 38 is also deposited on the back of the wafer for extra selectivity during a later potassium hydroxide (KOH) etch.

Figure 8 illustrates the wafer at the conclusion of step 31. The resist on the pattern front side is patterned with nitrite structures and the pattern is transferred to the front nitride layer 36 using an RIE etch. A layer of LPCVD polysilicon 40 is deposited on the front, and a similar layer 42 is applied to the back of the wafer; both layers are 0.5 microns thick.

Figure 9 illustrates the wafer at the conclusion of step 36. The front side of the wafer is patterned with polysilicon structures 44 and then RIE etched to transfer the pattern to the polysilicon layer 40. The photoresist is left on, the wafer is flipped and another layer of polysilicon (not shown) is deposited on the backside and RIE etched. The wafer is flipped again and the front side resist is removed, which is acting as a protective layer for the front side when flipped. A layer of PECVD polysilicon glass (PSG) 46 is added to the front of the waver and densified to 2 microns.

Figure 10 illustrates the wafer after step 46. Holes 48 are patterned in the PSG layer 46 and an RIE etch is done to transfer the pattern to the PSG layer using the polysilicon layer 40 as an etch stop. The photoresist is removed and a front layer 50 and back layer 52 of LPCVD polysilicon 2 micros thick are deposited, followed by a deposit of 0.2 microns of PECVD polysilicon glass (PSG) (not shown), and the wafer is annealed at 1,000°C for one hour to dope the polysilicon layers 50 and 52 and reduce stress.

Figure 11 illustrates the wafer at the conclusion of step 52. This PSG layer 46 is patterned with polysilicon structures 56, and an RIE etch is performed to transfer the pattern to a PSG hard mask, followed by an RIE etch to transfer the pattern to the polysilicon layer 50. The resist is left on and the wafer is flipped and RIE etched to remove the backside polysilicon 52, using the front side resist and hard mask to protect the front. The wafer is flipped back over when done, the photoresist is removed, and the hard mask is removed with an RIE etch, which thins any exposed oxide by about 0.3 microns. A layer of PECVD polysilicon glass (PSG2) 54, is deposited and densified to 0.75 microns.

Figure 12 illustrates the wafer at the conclusion of step 55. Holes 58 are patterned in the PSG2 layer 54 and an RIE etch is performed to transfer the pattern to the PSG, using the polysilicon layer as an etch stop. The photoresist is then removed.

Figure 13 illustrates the wafer at the conclusion of step 68. The thermal oxide layer 20 is patterned with polysilicon structures and an RIE etch is performed to transfer the pattern to the PSG hard mask. An RIE etch is performed to transfer the pattern to the polysilicon 54. The wafer is flipped and an RIE etch is performed to remove the backside polysilicon, using the front side resist and hard mask to protect the front. The resist is removed, and the hard mask is removed with an RIE etch.

Figure 14 illustrates the wafer at the conclusion of step 70. Areas on the front side where the POX 32 should be removed are patterned. This layer should only be used in areas where there is no polysilicon or metal, since those would act as etch stops for the subsequent etches. A wet etch is performed to remove the thermal oxide layer 20, exposing selected areas of the SCS layer 12. Designers must be careful that there nearby structures aren't damaged by a hydrofluoric acid (HF) etch. Polysilicon layers previously put on the SCS layer can be etched away without etching any of the SCS layer because the SCS layer 12 itself creates an etch stop.



Exposure of selected areas of the SCS layer at this point in the process allows mechanical, electrical and optical structures to be built directly onto the selected areas after other important structural (i.e., non-sacrificial) features have been built onto the SCS. These mechanical, electrical and optical structures are thus better able to take advantage of the SCS layer's useful properties. In the embodiment shown, a metal coating 60 is applied directly onto the grating 28 previously etched into the SCS layer 12 (see Figure 15). Application of the metal coating 60 turns the grating 28 into a reflecting grating. Similarly, metal elements can be put on the SCS layer to conduct electrical current, insulating elements can be built on the SCS using nitride or oxide layers, or elements comprising both conducting and insulating parts can be built onto the SCS layer.

Figure 15 illustrates the wafer at the conclusion of step 76. A photoresist is patterned for lift-off metal and 0.5 microns of metal 60 are deposited on the grating 28 on the front side of the SCS layer 12. The resist is lifted off, removing metals in those areas. A pattern is applied with areas where metal should be removed, and 200 Å of chromium (Cr) are deposited on the front side of the grating 28, followed by 300 Å of gold (Au). In this case, the gold increases the reflectivity of the grating, and because of how it is deposited it also smooths the edges of the grating. Other metals having required reflectivity may also be used on the grating 28; examples include aluminum (Al) and platinum (Pt). The resist and the metal coating resist are then removed.

Figure 16 illustrates the wafer at the conclusion of step 84. The backside nitride/oxide layer 38 is patterned with holes sized so that KOH will etch the desired depth. Uncertainty in wafer thickness will affect the size of the holes created at the other side of the wafer. The pattern is transferred to the nitride layer 38 with an RIE etch, and the same pattern is also transferred to the oxide layer 18 with an RIE etch. A through-wafer KOH etch is performed while protecting the front side with a deposited layer. If a coating is used it should be left on for the next step which involves removing the backside nitride/oxide using a nitride RIE etch and then an oxide RIE etch, which clears off exposed buried SCS. The protective layer possibly present from the last step will protect the front side. Backside etching of the wafer 10 is possible because in this process because of the use of different materials for the substrate layer 14 (which is made of polysilicon) and the device layer 12 (made of single crystal silicon). This enables the substrate to be etched away without etching away the backside of the device layer, and allows both sides of the device layer to be used to

make various components mechanical and optical components such as the two-sided mirror shown.

To make the two-sided grating 204, a blanket deposit of 0.1 microns of metal 62 is deposited on the backside of the wafer to metalize the backside of the mirror. The metal is sputtered onto the backside of the wafer; suitable metals for metalization of the backside include all the metals used on the front layer 60. If the component whose backside is to be metalized has holes which extend through the device layer, the backside metal must be deposited carefully to ensure that the metal does not flow through the holes and ruin the quality of the front surface of the device. This is particularly important with optical components, where the front surface must have near-perfect optical qualities and no flow-through from back to front can be tolerated. An effective way of addressing this problem of metal flowing through to the front surface is to tilt the wafer while the metal is sputtered onto the backside; this prevents flow-through of the metal. Any exposed holes in the SCS layer 12 must be kept small (approximately 2 microns) to prevent sputtered metal from traveling all the way through the wafer. The same technique can be used when sputtering metal on the front side of the wafer if a two-sided optical component is needed.

Metalization of the backside of a component such as the grating 204 has several advantages. Among other things, the backside metalization helps with the release of the component once it's finished. When used on a one-sided optical device such as a mirror, backside metalization reduces transmission of light through the mirror. Backside metalization also helps ensure that any residual stresses in the mirror are balanced, so that the grating 204 will not become distorted. Finally, backside metalization allows two-sided optical components to be made.

Figures 17 and 18 illustrate the wafer at the conclusion of the process after the grating 204 built into the wafer has been released. The release may be performed by any of various methods including standard MUMPS methods which include (1) stripping the photoresist by soaking in acetone for 20 to 30 minutes with mild agitation, (2) etching in 49% straight HF for 2 ½ to 3 minutes and rinsing in de-ionized water for 10 minutes, or (3) rinse in IPA for 5 minutes and bake the chip at 100-110°C for 10 to 15 minutes.

Since the fabrication technology utilized to produce microoptoelectromechanical (MOEMS) components can lead to manufacturing barriers in the thin film properties associated with the process, the present invention includes an enabling fabrication process for

microoptoelectromechanical systems that overcomes the barriers in the optomechanical properties of thin film structures. The key innovation to overcoming these thin film properties is to utilize silicon on insulator (SOI) wafers as the starting substrate in a surface micromachining process (see Figure 1). SOI is a generic term that refers to a structure in which a silicon layer is supported by a dielectric material. In this embodiment, a silicon device layer, bonded to a conventional silicon handle wafer, has a  $\text{SiO}_2$  thin-film layer at the interface. This allows critical optical and electronic components to be fabricated in a single crystal silicon device layer, which can be released from the handle wafer by etching the oxide at the interface between the device layer and the substrate.

The oxide layer at the interface can also be utilized as a backside etch stop layer for releasing optical components, such as a mirror, that cannot include etch holes. The device layer has a user specified thickness that is appropriate for the given application, and has excellent and reproducible electrical and thin film properties. Both the back and front side of the device layer would be polished, and thus optical elements fabricated in this layer do not require additional post-processing chemical-mechanical polish (CMP) techniques to obtain an optical quality surface finish. Since the device layer is single crystal silicon, it has no intrinsic stress or stress gradients in the absence of thin film coatings. Since it can be made thicker than conventional chemical vapor deposition (CVD) deposited thin films, optical components fabricated in this layer have minimal distortions after thin film depositions such as aluminum to increase surface reflectivity, or dielectric thin films to decrease surface reflectivity. The additional thickness is also important to minimize distortions for dynamically actuated optical elements.

As those skilled in the art will appreciate, other various modifications, extensions, and changes to the foregoing disclosed embodiments of the present invention are contemplated to be within the scope and spirit of the invention as defined in the following claims.

#### 4. Brief Description of the Drawings

Figure 1 illustrates in perspective view a MEMS device having various optical and mechanical elements formed in accordance with the process of the present invention; an

Figure 2 is a cross-sectional view of a silicon-on-insulator (SOI) wafer in which MEMS and MOEMS devices can be created according to the present invention;

Figure 3 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 4 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 5 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 6 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 7 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 8 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 9 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 10 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 11 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 12 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 13 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 14 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 15 show an embodiment of process steps used to form a MEMS device such

as those illustrated in Figure 1;

Figure 16 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 17 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1;

Figure 18 show an embodiment of process steps used to form a MEMS device such as those illustrated in Figure 1.

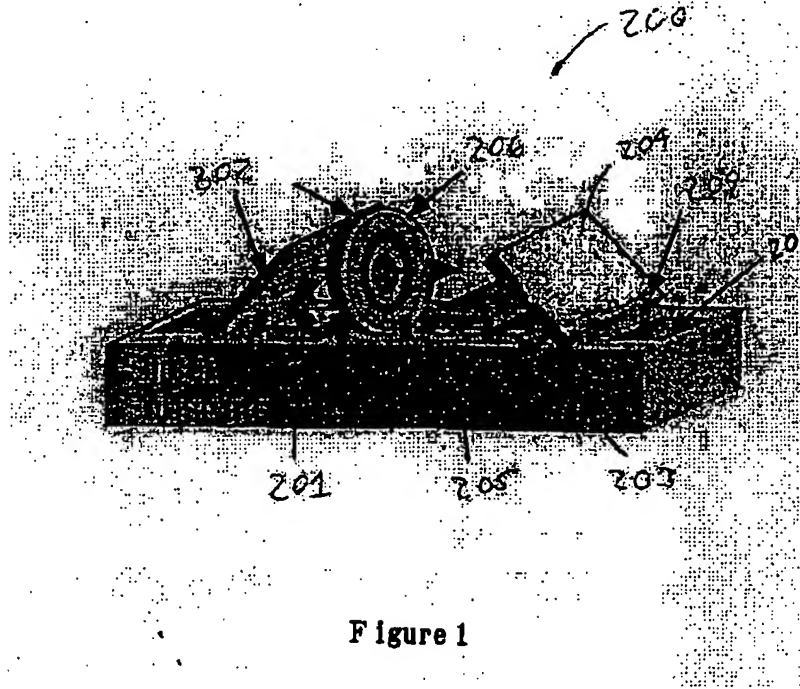


Figure 1

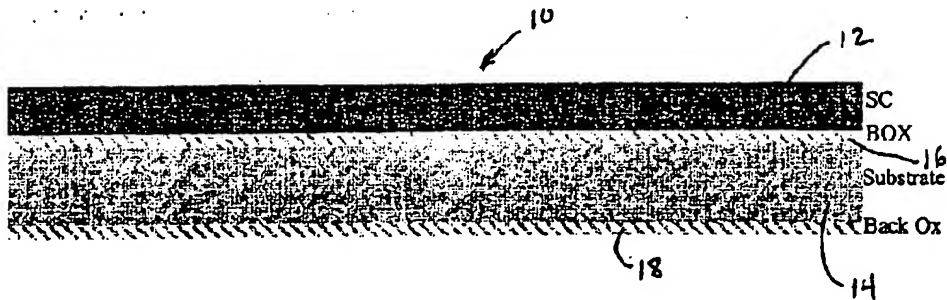


Figure 2

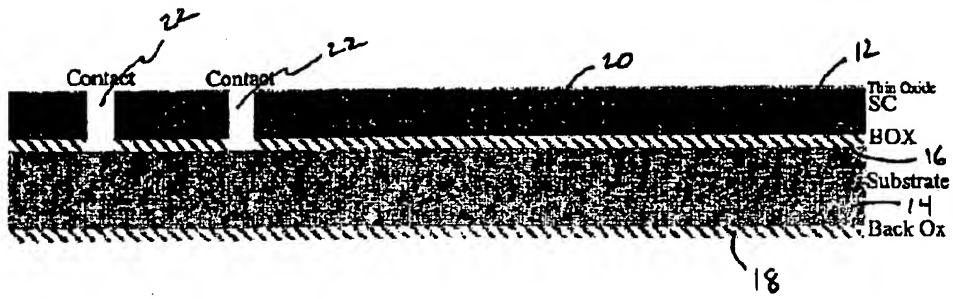


Figure 3

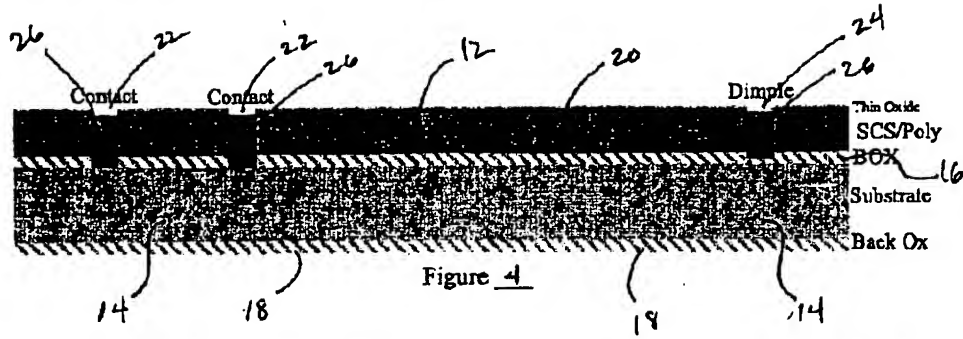


Figure 4

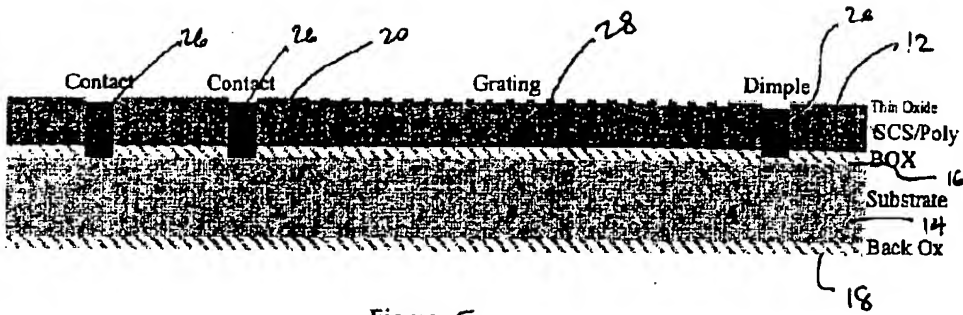


Figure 5

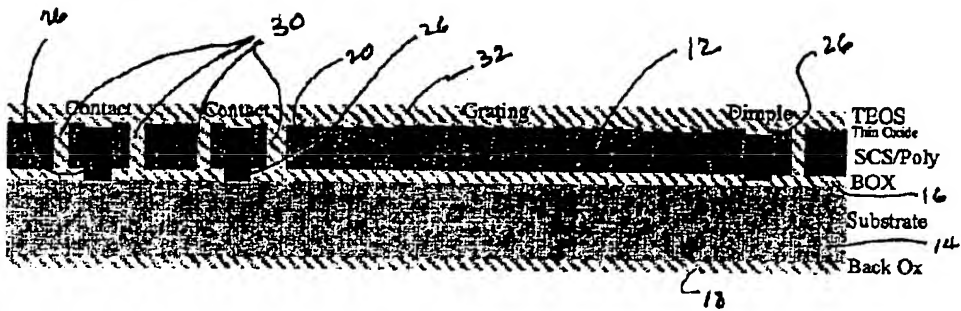
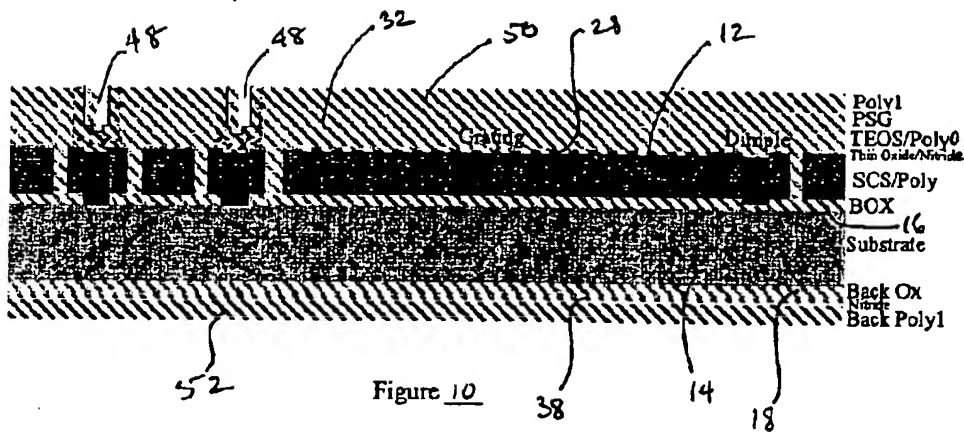
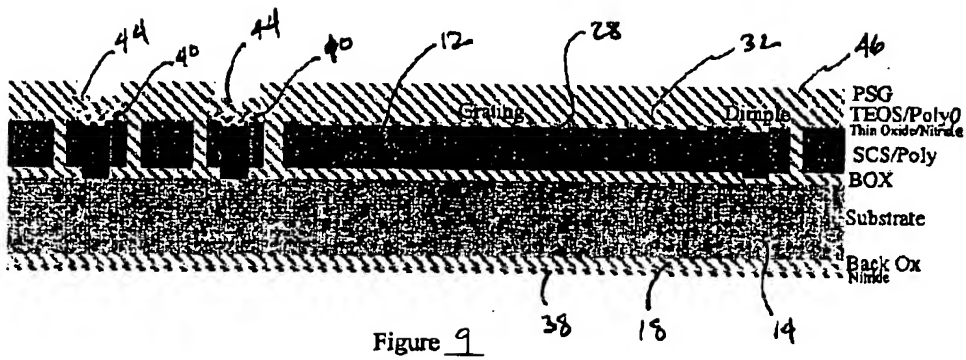
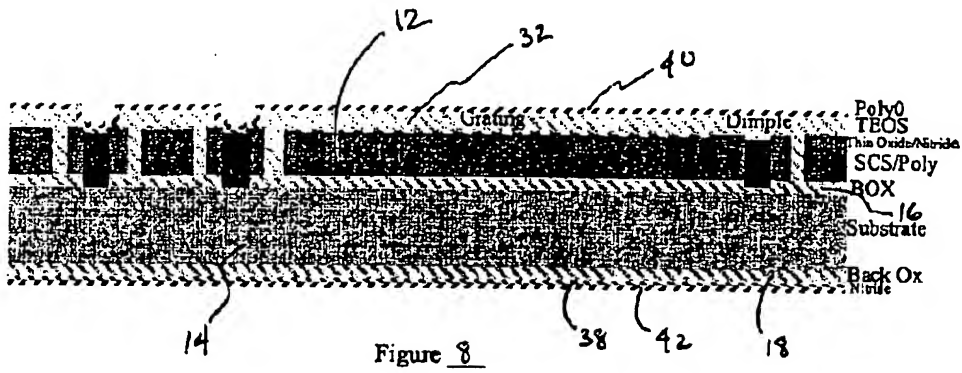
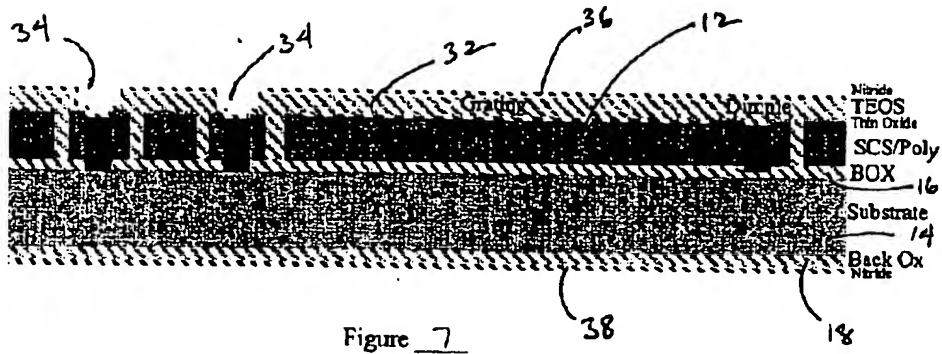
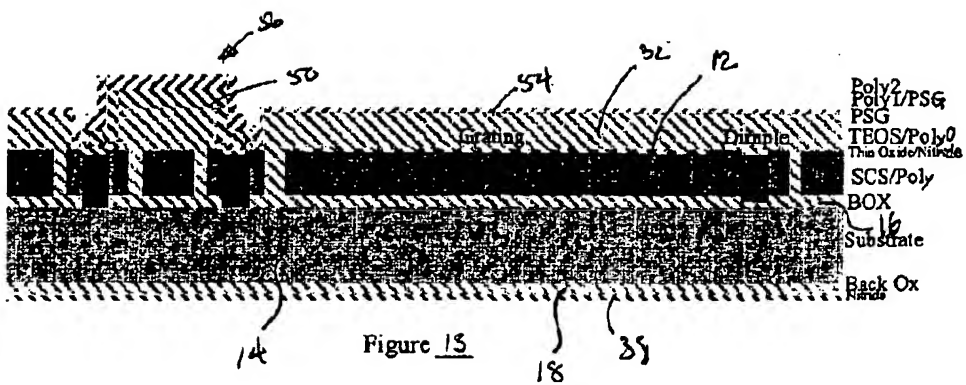
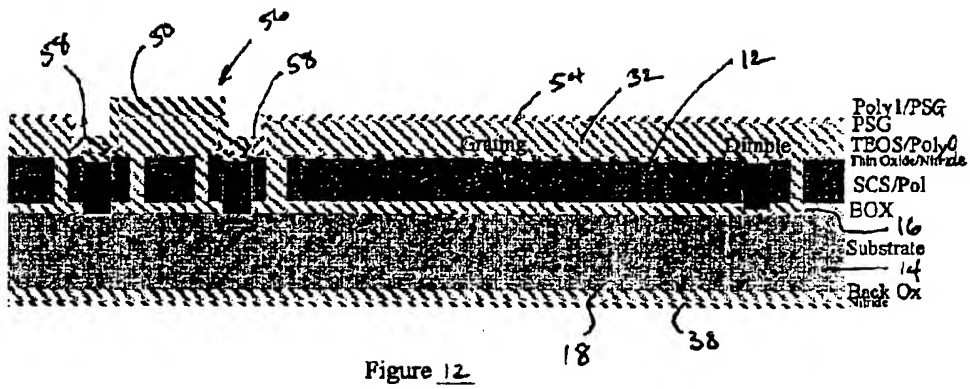
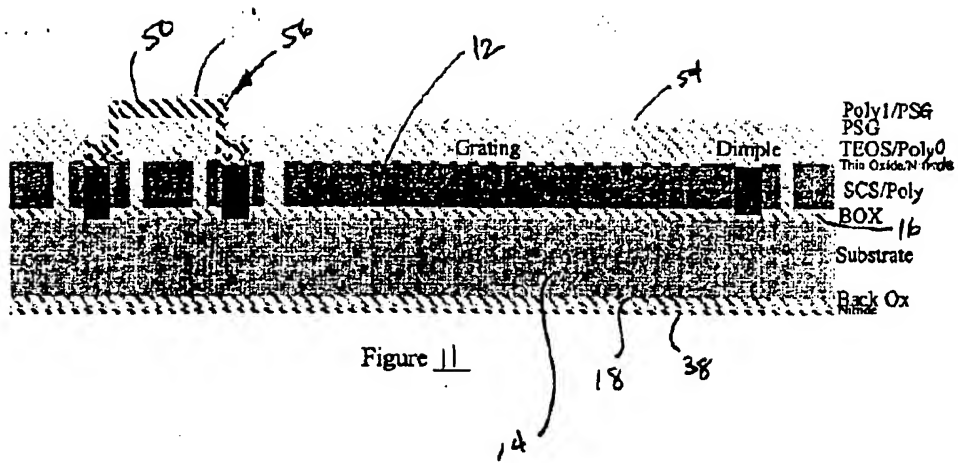
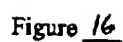
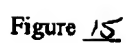


Figure 6









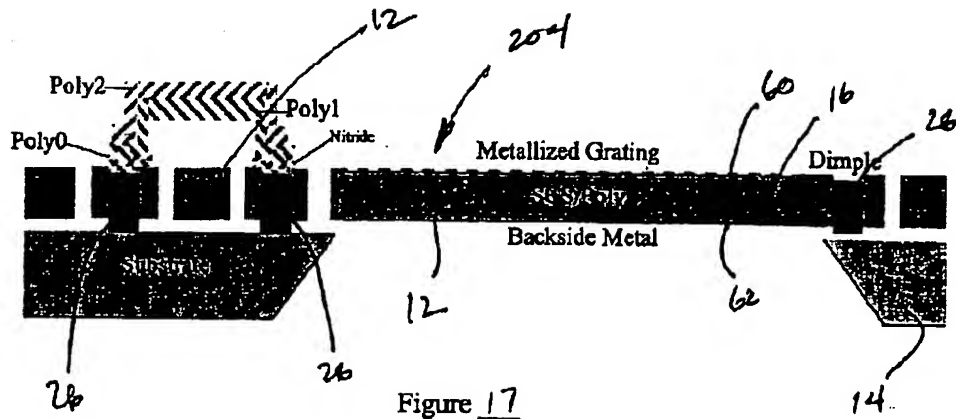


Figure 17

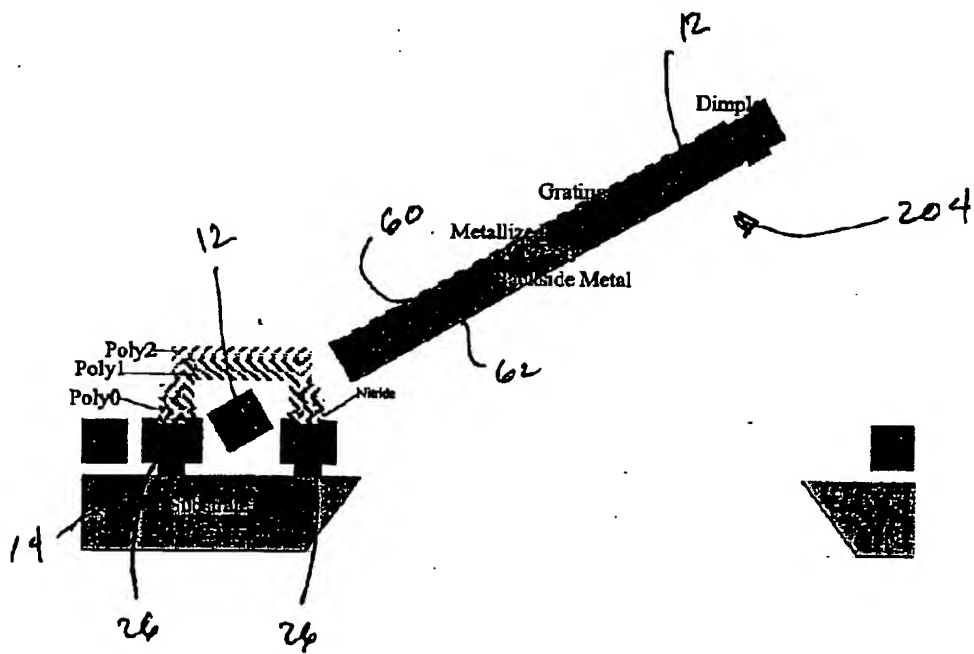


Figure 18

## 1. Abstract

The present invention provides a micromechanical or microoptomechanical structure. The structure is produced by a process comprising defining a pattern on a single crystal silicon layer separated by an insulator layer from a substrate layer; defining a structure in the single-crystal silicon layer; depositing and etching a polysilicon layer on the single crystal silicon layer, with remaining polysilicon forming mechanical or optical elements of the structure; and releasing the formed structure.

## 2. Representative Drawings

FIG. 18

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**